

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-186522

(43)Date of publication of application : 09.07.1999

(51)Int.Cl.

H01L 27/108  
H01L 21/8242  
H01L 21/768

(21)Application number : 09-353926

(71)Applicant : HITACHI LTD

(22)Date of filing : 22.12.1997

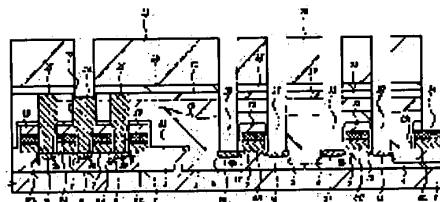
(72)Inventor : KAWAKITA KEIZO  
SEKIGUCHI TOSHIHIRO  
ASANO ISAMU  
YAMADA SATORU  
NAKAMURA YOSHITAKA

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE

## (57)Abstract:

PROBLEM TO BE SOLVED: To reduce manufacturing cost by reducing the number of photomasks which are used in manufacturing processes of a dynamic random access memory (DRAM).

SOLUTION: Contact holes 30-34 of peripheral circuits, having high aspect ratio and a through-hole 22 with low aspect ratio on the upper side of a contact hole 19 are made at the same time. The contact hole 19 has a large diameter for ensuring a margin of registration of a photomask for forming the through-hole 22 on its upper side so as to prevent the through-hole 22 from shifting from above a plug 21.



## LEGAL STATUS

[Date of request for examination]

21.08.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-186522

(43) 公開日 平成11年(1999) 7月9日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 27/108  
21/8242  
21/768

H 0 1 L 27/10  
21/90  
27/10

6 8 1 F  
C  
6 2 1 C

審査請求 未請求 請求項の数21 O L (全 43 頁)

(21) 出願番号

特願平9-353926

(22) 出願日

平成9年(1997)12月22日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 川北 恵三

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72) 発明者 関口 敏宏

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72) 発明者 浅野 勇

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74) 代理人 弁理士 筒井 大和

最終頁に続く

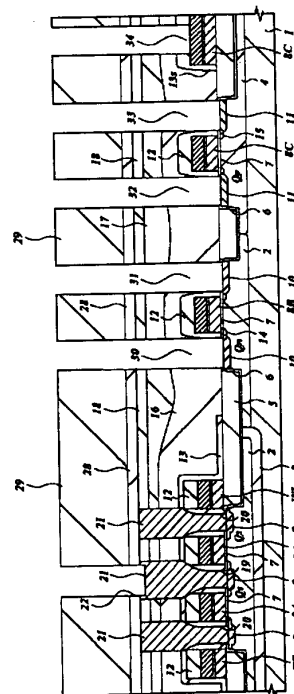
(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 DRAMの製造工程で使用するフォトマスクの枚数を減らして製造コストを低減する。

【解決手段】 アスペクト比が大きい周辺回路のコンタクトホール30~34と、コンタクトホール19の上部のアスペクト比が小さいスルーホール22とを同時に開孔する。コンタクトホール19は、その上部に形成されるスルーホール22を形成するためのフォトマスクの合わせ余裕を確保するためにその径を大きくし、スルーホール22がプラグ21上からずれないようにする。

図 15



## 【特許請求の範囲】

【請求項1】 半導体基板の主面上の第1方向に延在する複数のワード線と、前記第1方向と交差する第2方向に延在するビット線と、前記ワード線とビット線との交差部に配置され、メモリセル選択用MISFETと情報蓄積用容量素子とが直列に接続されて構成されたメモリセルとを備えたDRAMを有する半導体集積回路装置であって、(a)前記メモリセル選択用MISFETを2個形成するために前記半導体基板の主面に形成され、前記第2方向に延在する活性領域と、前記活性領域を囲むように配置された素子分離領域と、(b)前記活性領域と交差するように配置され、前記第1方向に延在する2本のワード線と、(c)前記素子分離領域上に配置され、前記第2方向に延在するビット線と、(d)前記2本のワード線のそれぞれの両側に位置する前記活性領域に形成され、前記ワード線で覆われていない領域に形成された半導体領域と、(e)前記2本のワード線の間の領域において前記半導体領域と電気的に接続されると共に、前記素子分離領域上において前記ビット線と電気的に接続され、前記第2方向において所定の幅を有し、前記第1方向に延在する第1導体層と、(f)前記第1導体層と前記ビット線との間に介在し、前記第1導体層と前記ビット線とを接続するための領域に形成された開孔を有する絶縁膜と、を有し、前記活性領域上における前記第1導体層の幅は、前記素子分離領域上における前記第1導体層の幅よりも小さいことを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、前記開孔の全体は、前記第1導体層の上部に位置していることを特徴とする半導体集積回路装置。

【請求項3】 請求項2記載の半導体集積回路装置であって、前記活性領域に形成された前記メモリセル選択用MISFETの半導体領域のうち、前記ビット線と接続されていない半導体領域には、前記情報蓄積用容量素子が電気的に接続されていることを特徴とする半導体集積回路装置。

【請求項4】 請求項3記載の半導体集積回路装置であって、前記情報蓄積用容量素子は、第2導体層を介して前記半導体領域と電気的に接続されていることを特徴とする半導体集積回路装置。

【請求項5】 請求項4記載の半導体集積回路装置であって、前記第2導体層の前記第2方向における幅は、前記素子分離領域の上部に形成された前記第1導体層の前記第2方向における幅よりも小さいことを特徴とする半導体集積回路装置。

【請求項6】 メモリセル選択用MISFETとこれに直列に接続された情報蓄積用容量素子とでメモリセルを構成し、前記情報蓄積用容量素子を前記メモリセル選択用MISFETの上部に配置したDRAMを有する半導体集積回路装置の製造方法であって、(a)半導体基板

の主面上の第1領域に、DRAMのメモリセルを構成するメモリセル選択用MISFETを形成し、前記半導体基板の主面上の第2領域に、前記DRAMの周辺回路を構成するMISFETを形成する工程、(b)前記メモリセル選択用MISFETおよび前記周辺回路のMISFETのそれぞれの上部に第1絶縁膜を形成した後、前記第1絶縁膜をエッチングすることにより、前記メモリセル選択用MISFETのソース、ドレインの一方の上部に第1コンタクトホールを形成し、前記ソース、ドレインの他方の上部に第2コンタクトホールを形成する工程、(c)前記第1絶縁膜の上部に第2絶縁膜を形成した後、前記第2絶縁膜をエッチングすることにより、前記第1コンタクトホールの上部に、前記第1コンタクトホールとビット線とを接続する第1スルーホールを形成すると同時に、前記第2絶縁膜およびその下層の前記第1絶縁膜をエッチングすることにより、前記周辺回路のMISFETの上部に、前記MISFETと配線とを接続する第3コンタクトホールを形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項7】 請求項6記載の半導体集積回路装置の製造方法であって、前記第1スルーホールが形成される領域の前記第1コンタクトホールの径を前記第1スルーホールの径よりも大きくすることを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項7記載の半導体集積回路装置の製造方法であって、前記第1コンタクトホールのマスクパターンにドグボーンを形成することによって、前記第1コンタクトホールの径を前記第1スルーホールの径よりも大きくすることを特徴とする半導体集積回路装置の製造方法。

【請求項9】 請求項6記載の半導体集積回路装置の製造方法であって、前記(b)工程で形成した前記第1コンタクトホールおよび前記第2コンタクトホールの内部に多結晶シリコン膜を埋め込んでプラグを形成することを特徴とする半導体集積回路装置の製造方法。

【請求項10】 メモリセル選択用MISFETとこれに直列に接続された情報蓄積用容量素子とでメモリセルを構成し、前記情報蓄積用容量素子を前記メモリセル選択用MISFETの上部に配置したDRAMを有する半導体集積回路装置の製造方法であって、(a)半導体基板の主面上の第1領域に、DRAMのメモリセルを構成するメモリセル選択用MISFETを形成し、前記半導体基板の主面上の第2領域に、前記DRAMの周辺回路を構成するMISFETを形成する工程、(b)前記メモリセル選択用MISFETおよび前記周辺回路のMISFETのそれぞれの上部に第1絶縁膜を形成した後、前記第1絶縁膜をエッチングすることにより、前記メモリセル選択用MISFETのソース、ドレインの一方の上部に第1コンタクトホールを形成し、他方の上部に第2コンタクトホールを形成する工程、(c)前記第1絶

## 3

縁膜の上部に第2絶縁膜を形成した後、前記第2絶縁膜の上部にエッチングストップ膜を堆積する工程、(d)前記エッチングストップ膜をエッチングすることにより、前記第1コンタクトホールの上部の前記エッチングストップ膜に第1開孔を形成すると同時に、前記周辺回路のMISFETの上部の前記エッチングストップ膜に第2開孔を形成する工程、(e)前記第1開孔および前記第2開孔のそれぞれの側壁にサイドウォールスペーサを形成した後、前記エッチングストップ膜および前記サイドウォールスペーサをマスクにして前記第1開孔の下部の前記第2絶縁膜をエッチングすることにより、前記第1コンタクトホールの上部に、前記第1コンタクトホールとビット線とを接続する第1スルーホールを形成すると同時に、前記エッチングストップ膜および前記サイドウォールスペーサをマスクにして前記第2開孔の底部の前記第2絶縁膜およびその下層の前記第1絶縁膜をエッチングすることにより、前記周辺回路のMISFETの上部に、前記MISFETと配線とを接続する第3コンタクトホールを形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項11】 請求項10記載の半導体集積回路装置の製造方法であって、側壁にサイドウォールスペーサが形成された前記第1開孔の径を、その下部の前記第1コンタクトホールの径よりも小さくすることを特徴とする半導体集積回路装置の製造方法。

【請求項12】 請求項11記載の半導体集積回路装置の製造方法であって、側壁にサイドウォールスペーサが形成された前記第1開孔の径を、リソグラフィの解像限界で決まる最小加工寸法以下にすることを特徴とする半導体集積回路装置の製造方法。

【請求項13】 メモリセル選択用MISFETとこれに直列に接続された情報蓄積用容量素子とでメモリセルを構成し、前記情報蓄積用容量素子を前記メモリセル選択用MISFETの上部に配置したDRAMを有する半導体集積回路装置の製造方法であって、(a)半導体基板の主面上の第1領域に、DRAMのメモリセルを構成するメモリセル選択用MISFETを形成し、前記半導体基板の主面上の第2領域に、前記DRAMの周辺回路を構成するMISFETを形成する工程、(b)前記メモリセル選択用MISFETおよび前記周辺回路のMISFETのそれぞれの上部に第1絶縁膜を形成した後、前記第1絶縁膜をエッチングすることにより、前記メモリセル選択用MISFETのソース、ドレインの一方の上部に第1コンタクトホールを形成する工程、(c)前記第1絶縁膜の上部に第2絶縁膜を形成した後、前記第2絶縁膜をエッチングすることにより、前記第1コンタクトホールの上部に前記第1コンタクトホールとビット線とを接続する第1スルーホールを形成すると同時に、前記第2絶縁膜およびその下層の前記第1絶縁膜をエッチングすることにより、前記周辺回路のMISFETの

## 4

上部に前記MISFETと配線とを接続する第3コンタクトホールを形成する工程、(d)前記第2絶縁膜の上部にビット線を形成した後、前記ビット線の上部に第3絶縁膜を形成する工程、(e)前記第3絶縁膜の上部にエッチングストップ膜を堆積した後、前記エッチングストップ膜をエッチングすることにより、前記メモリセル選択用MISFETのソース、ドレインの他方の上部の前記エッチングストップ膜に第3開孔を形成する工程、

(f)前記第3開孔の側壁にサイドウォールスペーサを形成した後、前記エッチングストップ膜および前記サイドウォールスペーサをマスクにして前記第3開孔の下部の前記第3絶縁膜、前記第2絶縁膜および前記第1絶縁膜をエッチングすることにより、前記メモリセル選択用MISFETのソース、ドレインの他方の上部に前記ソース、ドレインの他方と情報蓄積用容量素子とを接続する第4コンタクトホールを形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項14】 請求項13記載の半導体集積回路装置の製造方法であって、前記第1スルーホールが形成される領域の前記第1コンタクトホールの径を、前記第1スルーホールの径よりも大きくすることを特徴とする半導体集積回路装置の製造方法。

【請求項15】 請求項14記載の半導体集積回路装置の製造方法であって、フォトリソグラフィに形成される前記第1コンタクトホールのパターンにドグボーンを形成することによって、前記第1コンタクトホールの径を、前記第1スルーホールの径よりも大きくすることを特徴とする半導体集積回路装置の製造方法。

【請求項16】 請求項13記載の半導体集積回路装置の製造方法であって、側壁にサイドウォールスペーサが形成された前記第3開孔の径を、リソグラフィの解像限界で決まる最小加工寸法以下にすることを特徴とする半導体集積回路装置の製造方法。

【請求項17】 メモリセル選択用MISFETとこれに直列に接続された情報蓄積用容量素子とでメモリセルを構成し、前記情報蓄積用容量素子を前記メモリセル選択用MISFETの上部に配置したDRAMを有する半導体集積回路装置の製造方法であって、(a)半導体基板の主面上の第1領域に、DRAMのメモリセルを構成するメモリセル選択用MISFETを形成し、前記半導体基板の主面上の第2領域に、前記DRAMの周辺回路を構成するMISFETを形成する工程、(b)前記メモリセル選択用MISFETおよび前記周辺回路のMISFETのそれぞれの上部に第1絶縁膜を形成した後、前記第1絶縁膜の上部に前記第1絶縁膜とはエッチング速度が異なるエッチングストップ膜を形成する工程、

(c)前記第1および第2領域の前記エッチングストップ膜の上部に、後の工程で形成される情報蓄積用容量素子の高さに相当する膜厚の第2絶縁膜を形成した後、前記第1領域の第2絶縁膜をエッチングして凹溝を形成す

る工程、(d) 前記凹溝の内部を含む前記第2絶縁膜の上部に情報蓄積用容量素子の下部電極を構成する第1導体膜を形成する工程、(e) 前記凹溝の内部を含む前記第1導体膜の上部に第3絶縁膜を堆積した後、前記凹溝の内部以外の領域の前記第3絶縁膜を除去する工程、

(f) 前記凹溝の内部以外の領域の前記第1導体膜を除去した後、前記凹溝の内部に残った前記第3絶縁膜と、凹溝と凹溝との隙間に残った前記第2絶縁膜とをエッチングして除去することにより、前記第1導体膜からなる情報蓄積用容量素子の下部電極を形成する工程、(g) 前記下部電極の上部に前記情報蓄積用容量素子の容量絶縁膜を構成する誘電体膜を堆積し、次いで前記誘電体膜の上部に前記情報蓄積用容量素子の上部電極を構成する第2導体膜を堆積した後、前記第2導体膜および前記誘電体膜をパターンニングして情報蓄積用容量素子を形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項18】 請求項17記載の半導体集積回路装置の製造方法であって、前記エッチングストップ膜が窒化シリコン系の絶縁膜からなり、前記第1、第2および第3絶縁膜が酸化シリコン系の絶縁膜からなることを特徴とする半導体集積回路装置の製造方法。

【請求項19】 メモリセル選択用MISFETとこれに直列に接続された情報蓄積用容量素子とでメモリセルを構成し、前記情報蓄積用容量素子を前記メモリセル選択用MISFETの上部に配置したDRAMを有する半導体集積回路装置の製造方法であって、(a) 半導体基板の主面上の第1領域に、DRAMのメモリセルを構成するメモリセル選択用MISFETを形成し、前記半導体基板の主面上の第2領域に、前記DRAMの周辺回路を構成するMISFETを形成する工程、(b) 前記メモリセル選択用MISFETおよび前記周辺回路のMISFETのそれぞれの上部に、後の工程で形成される情報蓄積用容量素子の高さに相当する膜厚の第1絶縁膜を形成した後、前記第1領域の第1絶縁膜をエッチングして凹溝を形成すると共に、前記半導体基板の主面上の第3領域の第1絶縁膜を開孔して前記凹溝よりも面積が大きい第2の凹溝を形成する工程、(c) 前記凹溝および前記第2の凹溝のそれぞれの内部を含む前記第1絶縁膜の上部に情報蓄積用容量素子の下部電極を構成する第1導体膜を形成する工程、(d) 前記凹溝および前記第2の凹溝を埋め込むように第2絶縁膜を堆積した後、前記第2の凹溝が形成された第3領域の表面を第1のフォトリソ膜で覆い、前記第1領域に形成された前記凹溝の外部の前記第2絶縁膜と前記第1導体膜とをエッチングして除去する工程、(e) 前記第1のフォトリソ膜を除去した後、前記凹溝および前記第2の凹溝のそれぞれの内部の前記第2絶縁膜と、前記凹溝の外部の前記第1絶縁膜とをエッチングして除去することにより、前記第1領域に前記第1導体膜で構成された情報蓄積用容量

素子の下部電極を形成する工程、(f) 前記第1領域を覆う第2のフォトリソ膜をマスクにして前記第2領域の前記第1導体膜をエッチングして除去する工程、

(g) 前記下部電極の上部に前記情報蓄積用容量素子の容量絶縁膜を構成する誘電体膜を形成した後、前記誘電体膜の上部に前記情報蓄積用容量素子の上部電極を構成する第2導体膜を形成する工程、(h) 前記第2導体膜および前記誘電体膜をパターンニングすることにより、前記第1領域に情報蓄積用容量素子を形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項20】 請求項19記載の半導体集積回路装置の製造方法であって、前記(f)工程で第2のフォトリソ膜をマスクにして前記第2領域の前記第1導体膜をエッチングして除去する際、前記第2のフォトリソ膜をマスクにして前記第3領域に形成された前記第2凹溝の周囲の前記第1導体膜をエッチングして除去することを特徴とする半導体集積回路装置の製造方法。

【請求項21】 請求項19記載の半導体集積回路装置の製造方法であって、前記第2凹溝が形成される第3領域は、アライメントマークまたはTEGパターンが形成される領域であることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造方法に関し、特に、DRAM (Dynamic Random Access Memory) を有する半導体集積回路装置の製造方法に適用して有効な技術に関するものである。

【0002】

【従来の技術】DRAMのメモリセルは、半導体基板の主面上にマトリクス状に配置された複数のワード線と複数のビット線との交点に配置され、1個のメモリセル選択用MISFETとこれに直列に接続された1個の情報蓄積用容量素子(キャパシタ)とで構成されている。メモリセル選択用MISFETは、主としてゲート酸化膜、ワード線と一体に構成されたゲート電極、ソースおよびドレインを構成する一対の半導体領域によって構成されている。ビット線は、メモリセル選択用MISFETの上部に配置され、ソース、ドレインの一方と電気的に接続されている。情報蓄積用容量素子は、同じくメモリセル選択用MISFETの上部に配置され、ソース、ドレインの他方と電気的に接続されている。

【0003】近年のDRAMは、情報蓄積用容量素子をメモリセル選択用MISFETの上方に配置する、いわゆるスタックド・キャパシタ構造を採用すると共に、情報蓄積用容量素子を立体化してその表面積を増やすことでメモリセルの微細化に伴う情報蓄積用容量素子の蓄積電荷量の減少を補っている。

【0004】この種のスタックド・キャパシタ構造を採用するDRAMについては、例えば特開平7-1927



23号公報、特開平8-204144号公報、特開平7-122654号公報、特開平7-106437号公報など記載がある。

#### 【0005】

【発明が解決しようとする課題】DRAMの製造工程では、半導体基板上にメモリセル選択用MISFETや周辺回路のMISFETを形成した後、その上部に情報蓄積用容量素子を形成し、さらにその上部にメタル配線を形成する。そのため、他のLSIに比べて製造工程が煩雑となり、フォトリソの枚数も多くなる。また、メモリアレイのMISFETの上部に立体的な構造の情報蓄積用容量素子を形成するために、メモリアレイと周辺回路との間に標高差が生じ、これがメモリアレイと周辺回路のプロセスの共通化を妨げてマスクの枚数を増やす一因となっている。

【0006】本発明の目的は、DRAMの製造工程で使用するフォトリソの枚数を減らすことによって、その製造コストを低減することにある。

【0007】本発明の他の目的は、DRAMのビット線の寄生容量を低減することにある。

【0008】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

#### 【0009】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0010】(1) 本発明のDRAMは、半導体基板の主面上の第1方向に延在する複数のワード線と、前記第1方向と交差する第2方向に延在するビット線と、前記ワード線とビット線との交差部に配置され、メモリセル選択用MISFETと情報蓄積用容量素子とが直列に接続されて構成されたメモリセルとを備え、(a) 前記メモリセル選択用MISFETを2個形成するために前記半導体基板の主面に形成され、前記第2方向に延在する活性領域と、前記活性領域を囲むように配置された素子分離領域と、(b) 前記活性領域と交差するように配置され、前記第1方向に延在する2本のワード線と、

(c) 前記素子分離領域上に配置され、前記第2方向に延在するビット線と、(d) 前記2本のワード線のそれぞれの両側に位置する前記活性領域に形成され、前記ワード線で覆われていない領域に形成された半導体領域と、(e) 前記2本のワード線の間の領域において前記半導体領域と電気的に接続されると共に、前記素子分離領域上において前記ビット線と電気的に接続され、前記第2方向において所定の幅を有し、前記第1方向に延在する第1導体層と、(f) 前記第1導体層と前記ビット線との間に介在し、前記第1導体層と前記ビット線とを接続するための領域に形成された開孔を有する絶縁膜と、を有し、前記活性領域上における前記第1導体層の

幅は、前記素子分離領域上における前記第1導体層の幅よりも小さい。

【0011】(2) 本発明のDRAMは、前記(1)において、前記開孔の全体が前記第1導体層の上部に位置している。

【0012】(3) 本発明のDRAMは、前記(2)において、前記活性領域に形成された前記メモリセル選択用MISFETの半導体領域のうち、前記ビット線と接続されていない半導体領域には、前記情報蓄積用容量素子が電気的に接続されている。

【0013】(4) 本発明のDRAMは、前記(3)において、前記情報蓄積用容量素子は、第2導体層を介して前記半導体領域と電気的に接続されている。

【0014】(5) 本発明のDRAMは、前記(4)において、前記第2導体層の第2方向における幅が、前記素子分離領域の上部に形成された前記第1導体層の第2方向における幅よりも小さい。

【0015】(6) 本発明のDRAMの製造方法は、以下の工程を含んでいる。

【0016】(a) 半導体基板の主面上の第1領域に、DRAMのメモリセルを構成するメモリセル選択用MISFETを形成し、前記半導体基板の主面上の第2領域に、前記DRAMの周辺回路を構成するMISFETを形成する工程、(b) 前記メモリセル選択用MISFETおよび前記周辺回路のMISFETのそれぞれの上部に第1絶縁膜を形成した後、前記第1絶縁膜をエッチングすることにより、前記メモリセル選択用MISFETのソース、ドレインの一方の上部に第1コンタクトホールを形成し、前記ソース、ドレインの他方の上部に第2コンタクトホールを形成する工程、(c) 前記第1絶縁膜の上部に第2絶縁膜を形成した後、前記第2絶縁膜をエッチングすることにより、前記第1コンタクトホールの上部に、前記第1コンタクトホールとビット線とを接続する第1スルーホールを形成すると同時に、前記第2絶縁膜およびその下層の前記第1絶縁膜をエッチングすることにより、前記周辺回路のMISFETの上部に、前記MISFETと配線とを接続する第3コンタクトホールを形成する工程、を含んでいる。

【0017】(7) 本発明のDRAMの製造方法は、前記(6)において、第1スルーホールが形成される領域の前記第1コンタクトホールの径を前記第1スルーホールの径よりも大きくする。

【0018】(8) 本発明のDRAMの製造方法は、前記(7)において、第1コンタクトホールのマスクパターンにドグボーンを形成することによって、前記第1コンタクトホールの径を前記第1スルーホールの径よりも大きくする。

【0019】(9) 本発明のDRAMの製造方法は、前記(6)の(b)工程で形成した前記第1コンタクトホールおよび前記第2コンタクトホールの内部に多結晶シ

リコン膜を埋め込んでプラグを形成する。

【0020】(10) 本発明のDRAMの製造方法は、以下の工程を含んでいる。

【0021】(a) 半導体基板の主面上の第1領域に、DRAMのメモリセルを構成するメモリセル選択用MISFETを形成し、前記半導体基板の主面上の第2領域に、前記DRAMの周辺回路を構成するMISFETを形成する工程、(b) 前記メモリセル選択用MISFETおよび前記周辺回路のMISFETのそれぞれの上部に第1絶縁膜を形成した後、前記第1絶縁膜をエッチングすることにより、前記メモリセル選択用MISFETのソース、ドレインの一方の上部に第1コンタクトホールを形成し、他方の上部に第2コンタクトホールを形成する工程、(c) 前記第1絶縁膜の上部に第2絶縁膜を形成した後、前記第2絶縁膜の上部にエッチングストップ膜を堆積する工程、(d) 前記エッチングストップ膜をエッチングすることにより、前記第1コンタクトホールの上部の前記エッチングストップ膜に第1開孔を形成すると同時に、前記周辺回路のMISFETの上部の前記エッチングストップ膜に第2開孔を形成する工程、

(e) 前記第1開孔および前記第2開孔のそれぞれの側壁にサイドウォールスペーサを形成した後、前記エッチングストップ膜および前記サイドウォールスペーサをマスクにして前記第1開孔の下部の前記第2絶縁膜をエッチングすることにより、前記第1コンタクトホールの上部に、前記第1コンタクトホールとビット線とを接続する第1スルーホールを形成すると同時に、前記エッチングストップ膜および前記サイドウォールスペーサをマスクにして前記第2開孔の底部の前記第2絶縁膜およびその下層の前記第1絶縁膜をエッチングすることにより、前記周辺回路のMISFETの上部に、前記MISFETと配線とを接続する第3コンタクトホールを形成する工程。

【0022】(11) 本発明のDRAMの製造方法は、前記(10)において、側壁にサイドウォールスペーサが形成された前記第1開孔の径を、その下部の前記第1コンタクトホールの径よりも小さくする。

【0023】(12) 本発明のDRAMの製造方法は、前記(11)において、側壁にサイドウォールスペーサが形成された前記第1開孔の径を、リソグラフィの解像限界で決まる最小加工寸法以下にする。

【0024】(13) 本発明のDRAMの製造方法は、以下の工程を含んでいる。

【0025】(a) 半導体基板の主面上の第1領域に、DRAMのメモリセルを構成するメモリセル選択用MISFETを形成し、前記半導体基板の主面上の第2領域に、前記DRAMの周辺回路を構成するMISFETを形成する工程、(b) 前記メモリセル選択用MISFETおよび前記周辺回路のMISFETのそれぞれの上部に第1絶縁膜を形成した後、前記第1絶縁膜をエッチン

グすることにより、前記メモリセル選択用MISFETのソース、ドレインの一方の上部に第1コンタクトホールを形成する工程、(c) 前記第1絶縁膜の上部に第2絶縁膜を形成した後、前記第2絶縁膜をエッチングすることにより、前記第1コンタクトホールの上部に前記第1コンタクトホールとビット線とを接続する第1スルーホールを形成すると同時に、前記第2絶縁膜およびその下層の前記第1絶縁膜をエッチングすることにより、前記周辺回路のMISFETの上部に前記MISFETと配線とを接続する第3コンタクトホールを形成する工程、(d) 前記第2絶縁膜の上部にビット線を形成した後、前記ビット線の上部に第3絶縁膜を形成する工程、(e) 前記第3絶縁膜の上部にエッチングストップ膜を堆積した後、前記エッチングストップ膜をエッチングすることにより、前記メモリセル選択用MISFETのソース、ドレインの他方の上部の前記エッチングストップ膜に第3開孔を形成する工程、(f) 前記第3開孔の側壁にサイドウォールスペーサを形成した後、前記エッチングストップ膜および前記サイドウォールスペーサをマスクにして前記第3開孔の下部の前記第3絶縁膜、前記第2絶縁膜および前記第1絶縁膜をエッチングすることにより、前記メモリセル選択用MISFETのソース、ドレインの他方の上部に前記ソース、ドレインの他方と情報蓄積用容量素子とを接続する第4コンタクトホールを形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【0026】(14) 本発明のDRAMの製造方法は、前記(13)において、前記第1スルーホールが形成される領域の前記第1コンタクトホールの径を、前記第1スルーホールの径よりも大きくする。

【0027】(15) 本発明のDRAMの製造方法は、前記(14)において、フォトリソグラフィに形成される前記第1コンタクトホールのパターンにドグボーンを形成することによって、前記第1コンタクトホールの径を、前記第1スルーホールの径よりも大きくする。

【0028】(16) 本発明のDRAMの製造方法は、前記(13)において、側壁にサイドウォールスペーサが形成された前記第3開孔の径を、リソグラフィの解像限界で決まる最小加工寸法以下にする。

【0029】(17) 本発明のDRAMの製造方法は、以下の工程を含んでいる。

【0030】(a) 半導体基板の主面上の第1領域に、DRAMのメモリセルを構成するメモリセル選択用MISFETを形成し、前記半導体基板の主面上の第2領域に、前記DRAMの周辺回路を構成するMISFETを形成する工程、(b) 前記メモリセル選択用MISFETおよび前記周辺回路のMISFETのそれぞれの上部に第1絶縁膜を形成した後、前記第1絶縁膜の上部に前記第1絶縁膜とはエッチング速度が異なるエッチングストップ膜を形成する工程、(c) 前記第1および第2領

域の前記エッチングストップ膜の上部に、後の工程で形成される情報蓄積用容量素子の高さに相当する膜厚の第2絶縁膜を形成した後、前記第1領域の第2絶縁膜をエッチングして凹溝を形成する工程、(d)前記凹溝の内部を含む前記第2絶縁膜の上部に情報蓄積用容量素子の下部電極を構成する第1導体膜を形成する工程、(e)前記凹溝の内部を含む前記第1導体膜の上部に第3絶縁膜を堆積した後、前記凹溝の内部以外の領域の前記第3絶縁膜を除去する工程、(f)前記凹溝の内部以外の領域の前記第1導体膜を除去した後、前記凹溝の内部に残った前記第3絶縁膜と、凹溝と凹溝との隙間に残った前記第2絶縁膜とをエッチングして除去することにより、前記第1導体膜からなる情報蓄積用容量素子の下部電極を形成する工程、(g)前記下部電極の上部に前記情報蓄積用容量素子の容量絶縁膜を構成する誘電体膜を堆積し、次いで前記誘電体膜の上部に前記情報蓄積用容量素子の上部電極を構成する第2導体膜を堆積した後、前記第2導体膜および前記誘電体膜をパターニングして情報蓄積用容量素子を形成する工程。

【0031】(18)本発明のDRAMの製造方法は、前記(17)において、前記エッチングストップ膜が窒化シリコン系の絶縁膜からなり、前記第1、第2および第3絶縁膜が酸化シリコン系の絶縁膜からなる。

【0032】(19)本発明のDRAMの製造方法は、以下の工程を含んでいる。

【0033】(a)半導体基板の主面上の第1領域に、DRAMのメモリセルを構成するメモリセル選択用MISFETを形成し、前記半導体基板の主面上の第2領域に、前記DRAMの周辺回路を構成するMISFETを形成する工程、(b)前記メモリセル選択用MISFETおよび前記周辺回路のMISFETのそれぞれの上部に、後の工程で形成される情報蓄積用容量素子の高さに相当する膜厚の第1絶縁膜を形成した後、前記第1領域の第1絶縁膜をエッチングして凹溝を形成すると共に、前記半導体基板の主面上の第3領域の第1絶縁膜を開孔して前記凹溝よりも面積が大きい第2の凹溝を形成する工程、(c)前記凹溝および前記第2の凹溝のそれぞれの内部を含む前記第1絶縁膜の上部に情報蓄積用容量素子の下部電極を構成する第1導体膜を形成する工程、

(d)前記凹溝および前記第2の凹溝を埋め込むように第2絶縁膜を堆積した後、前記第2の凹溝が形成された第3領域の表面を第1のフォトリソ膜で覆い、前記第1領域に形成された前記凹溝の外部の前記第2絶縁膜と前記第1導体膜とをエッチングして除去する工程、

(e)前記第1のフォトリソ膜を除去した後、前記凹溝および前記第2の凹溝のそれぞれの内部の前記第2絶縁膜と、前記凹溝の外部の前記第1絶縁膜とをエッチングして除去することにより、前記第1領域に前記第1導体膜で構成された情報蓄積用容量素子の下部電極を形成する工程、(f)前記第1領域を覆う第2のフォトレ

ジスト膜をマスクにして前記第2領域の前記第1導体膜をエッチングして除去する工程、(g)前記下部電極の上部に前記情報蓄積用容量素子の容量絶縁膜を構成する誘電体膜を形成した後、前記誘電体膜の上部に前記情報蓄積用容量素子の上部電極を構成する第2導体膜を形成する工程、(h)前記第2導体膜および前記誘電体膜をパターニングすることにより、前記第1領域に情報蓄積用容量素子を形成する工程。

【0034】(20)本発明のDRAMの製造方法は、前記(19)において、(f)工程で第2のフォトリソ膜をマスクにして前記第2領域の前記第1導体膜をエッチングして除去する際、前記第2のフォトリソ膜をマスクにして前記第3領域に形成された前記第2凹溝の周囲の前記第1導体膜をエッチングして除去する。

【0035】(21)本発明のDRAMの製造方法は、前記(19)において、前記第2凹溝が形成される第3領域が、アライメントマーク形成領域またはTEGパターン形成領域である。

【0036】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0037】(実施の形態1)図1は、本実施の形態のDRAMを形成した半導体チップの全体平面図である。図示のように、単結晶シリコンからなる半導体チップ1Aの主面には、X方向(半導体チップ1Aの長辺方向)およびY方向(半導体チップ1Aの短辺方向)に沿って多数のメモリアレイMARYがマトリクス状に配置されている。X方向に沿って互いに隣接するメモリアレイMARYの間にはセンスアンプSAが配置されている。半導体チップ1Aの主面の中央部には、ワードドライバWD、データ線選択回路などの制御回路や、入出力回路、ボンディングパッドなどが配置されている。

【0038】図2は、上記DRAMの等価回路図である。図示のように、このDRAMのメモリアレイ(MARY)は、マトリクス状に配置された複数のワード線WL(WLn-1、WLn、WLn+1...)と複数のビット線BLおよびそれらの交点に配置された複数のメモリセル(MC)によって構成されている。1ビットの情報を記憶する1個のメモリセルは、1個の情報蓄積用容量素子Cとこれに直列に接続された1個のメモリセル選択用MISFETQsとで構成されている。メモリセル選択用MISFETQsのソース、ドレインの一方は、情報蓄積用容量素子Cと電気的に接続され、他方はビット線BLと電気的に接続されている。ワード線WLの一端は、ワードドライバWDに接続され、ビット線BLの一端は、センスアンプSAに接続されている。

【0039】次に、本実施の形態のDRAMの製造方法を図3～図21を用いて工程順に説明する。なお、図1

2を除く各図において、左側はメモリセル約2ビット分の断面図、右側は周辺回路のnチャネル型MISFETとpチャネル型MISFETの断面図をそれぞれ示している。

【0040】まず、図3に示すように、p型で比抵抗が $10\Omega\text{cm}$ 程度の単結晶シリコンからなる半導体基板1を用意し、その主面の素子分離領域に素子分離溝6を形成する。素子分離溝6は、半導体基板1の表面をエッチングして深さ $300\sim400\text{nm}$ 程度の溝を形成し、次いでこの溝の内部を含む半導体基板1上にCVD法で酸化シリコン膜5を堆積した後、この酸化シリコン膜5を化学的機械研磨(ChemicalMechanical Polishing; CMP)法でポリッシュバックして形成する。酸化シリコン膜5は、その表面が活性領域の表面とほぼ同じ高さになるように平坦化する。

【0041】次に、図4に示すように、メモリセルを形成する領域(メモリアレイ)の半導体基板1にn型不純物、例えばP(リン)をイオン打ち込みしてn型半導体領域3を形成した後、メモリアレイと周辺回路の一部(nチャネル型MISFETQnを形成する領域)とにp型不純物、例えばB(ホウ素)をイオン打ち込みしてp型ウエル2を形成し、周辺回路の他の一部(pチャネル型MISFETQpを形成する領域)にn型不純物、例えばP(リン)をイオン打ち込みしてn型ウエル4を形成する。n型半導体領域3は、半導体基板1の他の領域に形成された入出力回路などからメモリアレイにノイズが侵入するのを防ぐ目的でメモリアレイのp型ウエル2と半導体基板1との間に形成する。

【0042】続いて、MISFETのしきい値電圧を調整するための不純物、例えばBF<sub>2</sub>(フッ化ホウ素)

をp型ウエル2およびn型ウエル4にイオン打ち込みし、次いでp型ウエル2およびn型ウエル4のそれぞれの表面をHF(フッ酸)系の洗浄液で洗浄した後、半導体基板1をウェット酸化してp型ウエル2およびn型ウエル4のそれぞれの表面に膜厚7nm程度の清浄なゲート酸化膜7を形成する。

【0043】次に、図5に示すように、ゲート酸化膜7の上部にゲート電極8A(ワード線WL)およびゲート電極8B、8Cを形成する。ゲート電極8A(ワード線WL)およびゲート電極8B、8Cは、例えばP(リン)などのn型不純物をドーブした膜厚70nm程度の多結晶シリコン膜を半導体基板1上にCVD法で堆積し、次いでその上部に膜厚50nm程度のWN(タングステンナイトライド)膜と膜厚100nm程度のW膜とをスパッタリング法で堆積し、さらにその上部に膜厚200nm程度の窒化シリコン膜12をCVD法で堆積した後、フォトリソグラフ膜をマスクにしてこれらの膜をパターニングすることにより形成する。WN膜は、高温熱処理時にW膜と多結晶シリコン膜とが反応して両者の界面に高抵抗のシリサイド層が形成されるのを防止するバリア層とし

て機能する。バリア層には、WN膜高融点金属窒化膜、例えばTiN(チタンナイトライド)膜を使用することもできる。高融点金属膜と多結晶シリコン膜とを主体として構成されるポリメタル構造のゲート電極8A(ワード線WL)は、多結晶シリコン膜やポリサイド膜(高融点金属シリサイド膜と多結晶シリコン膜との積層膜)で構成されたゲート電極に比べて電気抵抗が低いので、ワード線の信号遅延を低減することができる。メモリセル選択用MISFETQsのゲート電極8A(ワード線WL)は、例えば波長248nmのKrFエキシマレーザを光源に用いた露光技術と位相シフト技術とを用い、幅とスペースがそれぞれ $0.22\mu\text{m}$ 程度となるように形成する。

【0044】次に、図6に示すように、n型ウエル4にp型不純物、例えばB(ホウ素)をイオン打ち込みしてゲート電極8Cの両側のn型ウエル4にp<sup>-</sup>型半導体領域15を形成する。また、p型ウエル2にn型不純物、例えばP(リン)をイオン打ち込みしてゲート電極8Aの両側のp型ウエル2にn<sup>-</sup>型半導体領域9aを形成し、ゲート電極8Bの両側のp型ウエル2にn<sup>-</sup>型半導体領域14を形成する。ここまでの工程により、nチャネル型で構成されたメモリセル選択用MISFETQsが略完成する。

【0045】次に、図7に示すように、半導体基板1上にCVD法で膜厚50nm程度の窒化シリコン膜13を堆積した後、メモリアレイの窒化シリコン膜13をフォトリソグラフ膜で覆い、周辺回路の窒化シリコン膜13を異方性エッチングすることにより、周辺回路のゲート電極8B、8Cの側壁にサイドウォールスペーサ13sを形成する。このエッチングは、素子分離溝6に埋め込まれた酸化シリコン膜5およびゲート酸化膜7の削れ量を最少とするために、窒化シリコン膜13を高い選択比でエッチングするガスを使用して行う。また、ゲート電極8B、8C上の窒化シリコン膜12の削れ量を最少とするために、オーバーエッチング量を必要最小限に留めるようにする。

【0046】次に、図8に示すように、周辺回路のn型ウエル4にp型不純物、例えばB(ホウ素)をイオン打ち込みしてpチャネル型MISFETQpのp<sup>+</sup>型半導体領域11(ソース、ドレイン)を形成し、周辺回路のp型ウエル2にn型不純物、例えばAs(ヒ素)をイオン打ち込みしてnチャネル型MISFETQnのn<sup>+</sup>型半導体領域10(ソース、ドレイン)を形成する。ここまでの工程により、LDD(Lightly Doped Drain)構造を有するpチャネル型MISFETQpおよびnチャネル型MISFETQnが略完成する。

【0047】次に、図9に示すように、半導体基板1上に膜厚300nm程度のSOG膜16をスピン塗布し、水蒸気を含む400℃程度の酸素雰囲気中でベーク処理を行った後、さらに800℃、1分程度の熱処理を行って

このSOG膜16をデンシファイ（緻密化）する。SOG膜16には、例えばポリシラザン系の無機SOGを使用する。

【0048】SOG膜16は、BPSG膜などのガラスフロー膜に比べてリフロー性が高く、微細なスペースのギャップフィル性に優れているので、フォトリソグラフィの解像限界程度まで微細化されたゲート電極8A（ワード線WL）のスペースに埋め込んでもボイドが生じることがない。また、SOG膜16は、BPSG膜などが必要とされる高温、長時間の熱処理を行わなくとも高いリフロー性が得られるので、メモリセル選択用MISFETQsのソース、ドレインや周辺回路のMISFET（nチャネル型MISFETQn、pチャネル型MISFETQp）のソース、ドレインに打ち込まれた不純物の熱拡散を抑制して浅接合化を図ることができ、さらに熱処理時にゲート電極8A（ワード線WL）およびゲート電極8B、8Cを構成するメタル（W膜）が酸化することを抑制できるので、メモリセル選択用MISFETQsおよび周辺回路のMISFETの高性能化を実現することができる。

【0049】次に、図10に示すように、SOG膜16の上部に膜厚600nm程度の酸化シリコン膜17を堆積し、次いでこの酸化シリコン膜17をCMP法で研磨してその表面を平坦化した後、その上部に膜厚100nm程度の酸化シリコン膜18を堆積する。上層の酸化シリコン膜18は、CMP法で研磨されたときに生じた下層の酸化シリコン膜17の表面の微細な傷を補修するために堆積する。

【0050】次に、図11に示すように、フォトレジスト膜27をマスクにしたドライエッチングでメモリセル選択用MISFETQsのn<sup>-</sup>型半導体領域9a（ソース、ドレイン）の上部の酸化シリコン膜18、17を除去し、次いで窒化シリコン膜13とその下層の薄いゲート酸化膜7を除去することにより、n<sup>-</sup>型半導体領域9aの一方の上部にコンタクトホール19を形成し、他方の上部にコンタクトホール20を形成する。コンタクトホール19は、メモリセル選択用MISFETQsとビット線とを接続するための導体膜（多結晶シリコン膜）を埋め込むために形成し、コンタクトホール20は、メモリセル選択用MISFETQsと情報蓄積容量素子の一方の電極とを接続するための導体膜（多結晶シリコン膜）を埋め込むために形成する。

【0051】酸化シリコン膜18、17のエッチングは、下層の窒化シリコン膜13が除去されるのを防ぐために、酸化シリコン膜17を高い選択比でエッチングするガスを使用して行う。また、窒化シリコン膜13のエッチングは、半導体基板1や素子分離溝6の削れ量を最小とするために、窒化シリコン膜13を高い選択比でエッチングするガスを使用して行う。さらに、このエッチングは、窒化シリコン膜13を異方的にエッチングする

ような条件で行い、ゲート電極8A（ワード線WL）の側壁に窒化シリコン膜13を残すようにする。これにより、底部の径がフォトリソグラフィの解像限界以下の微細なコンタクトホール19、20がゲート電極8A（ワード線WL）のスペースに対して自己整合で形成される。

【0052】図12に示すように、コンタクトホール20は、X方向（ビット線BLが延在する方向）の径とY方向（ワード線WLが延在する方向）の径がほぼ等しく（0.24μm程度）なるように形成する。一方、コンタクトホール19（2個のメモリセル選択用MISFETQsによって共有されたn<sup>-</sup>型半導体領域9a上のコンタクトホール）は、Y方向の径がX方向の径よりも大きい略長方形の平面パターンで構成し、Y方向に隣接する活性領域（L）の間の素子分離領域でビット線BLと接続する。また、コンタクトホール19の素子分離溝6上に延在した領域には、後の工程でこの領域に形成されるスルーホール22（ビット線BLとコンタクトホール19とを接続するスルーホール）とのマスク合わせ余裕を確保するために、ドグボーンを設けることによってXおよびY方向の径をコンタクトホール20のそれよりも大きくする（0.3μm程度）。さらに、ビット線BLとワード線WLとの間の寄生容量を低減するために、コンタクトホールのX方向の大きさは、活性領域上で素子分離領域上よりも小さくする。なお、リソグラフィの解像能力から、ドグボーンを形成することが困難な場合には、ドライエッチングおよびその後のウェット洗浄での削れによる寸法シフトを利用して径を大きくする。

【0053】次に、フォトレジスト膜27を除去した後、フッ酸系のエッチング液（例えばフッ酸+フッ化アンモニウム混液）を使って、コンタクトホール19、20の底部に露出した半導体基板1の表面を洗浄し、ドライエッチング残渣やフォトレジスト残渣などを除去する。このときコンタクトホール19、20の側壁に露出したSOG膜16もエッチング液に曝されるが、800℃程度の高温でデンシファイ（緻密化）したSOG膜16は、この処理を行わないSOG膜に比べてフッ酸系のエッチング液に対する耐性が高いので、このウェットエッチング処理によってコンタクトホール19、20の側壁が大きくアンダーカットされることはない。これにより、次の工程でコンタクトホール19、20の内部に埋め込まれるプラグ21同士のショートを確実に防止することができる。

【0054】また、上記コンタクトホール19、20を形成した後、このコンタクトホール19、20を通じてp型ウェル2にn型不純物（例えばリン）をイオン打ち込みすることによって、メモリセル選択用MISFETQsのソース、ドレインよりも深い領域のp型ウェル2にn型半導体層を形成してもよい。このn型半導体層は、ソース、ドレインの端部に集中する電界を緩和する

効果があるので、ソース、ドレインの端部のリーク電流を低減してメモリセルのリフレッシュ特性を向上させることができる。

【0055】次に、図13に示すように、コンタクトホール19、20の内部にプラグ21を形成する。プラグ21は、コンタクトホール19、20の内部を含む酸化シリコン膜18の上部にn型不純物（例えばAs（ヒ素））をドーブした膜厚300nm程度の多結晶シリコン膜をCVD法で堆積した後、この多結晶シリコン膜をCMP法で研磨（またはエッチバック）してコンタクトホール19、20の内部に残すことにより形成する。

【0056】続いて、図14に示すように、酸化シリコン膜18の上部に膜厚200nm程度の酸化シリコン膜28をCVD法で堆積した後、窒素ガス雰囲気中で800℃、1分程度の熱処理を行う。この熱処理によって、プラグ21を構成する多結晶シリコン膜中のn型不純物がコンタクトホール19、20の底部から半導体基板1の表面、すなわちp型ウェル2の表面に拡散し、低抵抗のn型半導体領域（ソース、ドレイン）9が形成される。

【0057】次に、図15に示すように、フォトレジスト膜29をマスクにしたドライエッチングでコンタクトホール19の上部の酸化シリコン膜28を除去し、ビット線が接続されるプラグ（導体層）21の一部を露出させることによって、直径0.24μm程度のスルーホール22を形成する。また、このとき同時に周辺回路の酸化シリコン膜28、18、17、SOG膜16およびゲート酸化膜7を除去することによって、nチャネル型MISFETQnのn<sup>+</sup>型半導体領域10（ソース、ドレイン）の上部にコンタクトホール30、31を形成し、pチャネル型MISFETQpのp<sup>+</sup>型半導体領域11（ソース、ドレイン）の上部にコンタクトホール32、33を形成する。さらに、pチャネル型MISFETQpのゲート電極8Cの上部にコンタクトホール34を形成し、nチャネル型MISFETQnのゲート電極8Bの上部に図示しないコンタクトホールを形成する。

【0058】前記のように、コンタクトホール19には、その上部に形成されるスルーホール22を形成するためのフォトマスクの合わせ余裕を確保するために、ドグボーンを設けてその径を大きくしてある。つまり、スルーホール22は、ビット線を接続するためのプラグ21上からずれないので、コンタクトホール19の周囲の絶縁膜が削られることはない。これにより、アスペクト比が大きい（すなわち深い）周辺回路のコンタクトホール30～34と、コンタクトホール19の上部のアスペクト比が小さい（すなわち浅い）スルーホール22とを同時に開孔することが可能となるので、スルーホール22とコンタクトホール30～34とを別工程で形成する場合に比べてフォトマスクを1枚減らすことができる。

【0059】次に、図16に示すように、コンタクトホール30～34の内部とスルーホール22の内部とを含

む酸化シリコン膜28の上部に膜厚40nm程度のTi膜36を堆積する。Ti膜36は、アスペクト比が大きいコンタクトホール30～34の底部でも10nm程度以上の膜厚を確保できるよう、コリメーションスパッタなど的高指向性スパッタリング法を用いて堆積する。

【0060】続いて、Ti膜36を大気に晒すことなく、Ar（アルゴン）ガス雰囲気中で650℃、30秒程度の熱処理を行い、さらに窒素ガス雰囲気中で750℃、1分程度の熱処理を行う。この熱処理によって図17に示すように、コンタクトホール30～33の底部のSi基板とTi膜36とが反応し、nチャネル型MISFETQnのn<sup>+</sup>型半導体領域10（ソース、ドレイン）の表面とpチャネル型MISFETQpのp<sup>+</sup>型半導体領域11（ソース、ドレイン）の表面とに膜厚10nm程度のTiSi<sub>2</sub>（チタンシリサイド）層37が形成される。また、上記窒素ガス雰囲気中での熱処理によって、コンタクトホール30～34の側壁に堆積した薄いTi膜36の表面が窒化され、Siと反応し難い安定な膜となる。

【0061】なおこのとき、酸化シリコン膜28の上部のTi膜36の表面も窒化されるが、表面以外の部分は窒化されずに未反応のまま残る。また、スルーホール22の底部のプラグ21の表面には、プラグ21を構成する多結晶シリコン膜とTi膜36との反応によってTiSi<sub>2</sub>層37が形成される。

【0062】コンタクトホール30～33の底部にTiSi<sub>2</sub>層37を形成することにより、次の工程でコンタクトホール30～33の内部に形成されるプラグ35と、周辺回路のMISFETのソース、ドレイン（n<sup>+</sup>型半導体領域10、p<sup>+</sup>型半導体領域11）とが接触する部分のコンタクト抵抗を1kΩ以下まで低減することができるので、センスアンプSAやワードドライバWDなどの周辺回路の高速動作が可能となる。コンタクトホール30～33の底部のシリサイド層は、TiSi<sub>2</sub>以外の高融点金属シリサイド、例えばCoSi<sub>2</sub>（コバルトシリサイド）、TaSi<sub>2</sub>（タンタルシリサイド）、MoSi<sub>2</sub>（モリブデンシリサイド）などで構成することもできる。

【0063】次に、図18に示すように、Ti膜36の上部に膜厚30nm程度のTiN膜40をCVD法で堆積する。CVD法は、スパッタリング法に比べてステップカバレッジがよいので、アスペクト比が大きいコンタクトホール30～34の底部に平坦部と同程度の膜厚のTiN膜40を堆積することができる。続いて、六フッ化タングステン（WF<sub>6</sub>）、水素およびモノシラン（SiH<sub>4</sub>）をソースガスに用いたCVD法でTiN膜40の上部に膜厚300nm程度の厚いW膜41を堆積し、コンタクトホール30～34およびスルーホール22のそれぞれの内部をW膜41で完全に埋め込む。

【0064】次に、図19に示すように、CMP法を用

いて酸化シリコン膜28の上部のW膜41、TiN膜40およびTi膜36を除去(ポリッシュバック)することにより、コンタクトホール30~34およびスルーホール22のそれぞれの内部に上記W膜41、TiN膜40およびTi膜36で構成されたプラグ35を形成する。このプラグ35は、酸化シリコン膜28の上部のW膜41、TiN膜40およびTi膜36をドライエッチングで除去(エッチバック)することによって形成してもよい。

【0065】上記プラグ35は、高融点金属であるW膜41を主体として構成されているために抵抗が低いと共に耐熱性が高い。また、W膜41の下層に形成されたTiN膜40は、W膜41をCVD法で堆積する際に六フッ化タンゲステンとSiとが反応して欠陥(エンクロッチメントやワームホール)が発生するのを防止するバリア層として機能すると共に、後の高温熱処理工程でW膜41とSi基板とが反応(シリサイド化反応)するのを防止するバリア層として機能する。このバリア層には、TiN以外の高融点金属窒化物(例えばWN膜)などを使用することもできる。

【0066】プラグ35は、W膜41を使用せずにTiN膜40を主体として構成してもよい。すなわち、コンタクトホール30~34およびスルーホール22のそれぞれの内部に厚い膜厚のTiN膜40を埋め込んでプラグ35を形成してもよい。この場合は、W膜41を主体として構成した場合に比べてプラグ35の抵抗が幾分高くなるが、次の工程で酸化シリコン膜28の上部に堆積するW膜42をドライエッチングしてビット線BLと周辺回路の第1層目の配線23~26とを形成する際にTiN膜40がエッチングストップとなるので、配線23~26とコンタクトホール30~34の合わせずれマージンが格段に向上し、配線23~26のレイアウトの自由度が大幅に向上する。

【0067】次に、図20に示すように、酸化シリコン膜28の上部に膜厚100nm程度のW膜42をスパッタリング法で堆積した後、図21に示すように、W膜42の上部に形成したフォトリソグラフィの解像限界以下まで微細化した場合でも、断線を確実に防止することができる。

【0068】ビット線BLは、スルーホール22およびその下部のコンタクトホール19の内部のプラグ35、21を通じてメモリアル選択用MISFETQsのソース、ドレインの一方(2個のメモリアル選択用MISFETQsによって共有されたn型半導体領域9)と電気的に接続される。配線23~26は、酸化シリコン膜28、18、17およびSOG膜16に形成されたコンタクトホール30~34の内部のプラグ35を通じて周辺

回路のMISFET(nチャネル型MISFETQn、pチャネル型MISFETQp)と電気的に接続される。

【0069】W膜42をドライエッチングしてビット線BLを形成するときは、フォトリソグラフィの解像限界で決まる最小加工寸法またはそれよりも微細な寸法で形成する。ビット線BLの幅を微細な寸法で構成することにより、ビット線の寄生容量を低減することができるので、動作速度の向上したDRAMを実現することができる。また、ビット線BLの幅を細くすることにより、その分、ビット線BLのスペースを広くすることができるので、後の工程でビット線BLのスペース領域に形成されるスルーホール(情報蓄積用容量素子Cとコンタクトホール20とを接続するスルーホール)とビット線BLとのマスク合わせ余裕を十分に確保することができる。さらに、ビット線BLを金属(W)で構成することにより、そのシート抵抗を $2\Omega/\square$ 程度にまで低減できるので、情報の読み出し、書き込みを高速で行うことができる。また、ビット線BLと後述する周辺回路の配線23~26とを同一の工程で同時に形成することができるので、DRAMの製造工程を簡略化することができる。また、ビット線BLを耐熱性およびエレクトロマイグレーション耐性の高い金属(W)で構成することにより、ビット線BLの幅をフォトリソグラフィの解像限界以下まで微細化した場合でも、断線を確実に防止することができる。

【0070】(実施の形態2)本実施の形態では、上記したコンタクトホール19の上部のスルーホール22と周辺回路のコンタクトホール30~34とを同時に形成する際に、前記実施の形態1よりも径の小さいスルーホール22を形成する方法を説明する。

【0071】まず、メモリアルレイにメモリアル選択用MISFETQsを形成し、周辺回路にnチャネル型MISFETQnおよびpチャネル型MISFETQpを形成した後、図22に示すように、それらの上部にSOG膜16、酸化シリコン膜17および酸化シリコン膜18を順次堆積する。ここまでの工程は、前記実施の形態1の図10までの工程と同じである。

【0072】次に、図23に示すように、フォトリソグラフィの解像限界以下まで微細化した場合でも、断線を確実に防止することができる。

【0073】次に、図24に示すように、酸化シリコン膜18、17を除去し、次いで窒化シリコン膜13とその下層の薄いゲート酸化膜7を除去することにより、n型半導体領域(ソース、ドレイン)9aの一方の上部にコンタクトホール19を形成し、他方の上部にコンタクトホール20を形成する。このとき、本実施の形態ではコンタクトホール19にドグボーンを設けない。すなわち、コンタクトホール19のX方向(ビット線BLが延在する方向)の径

を、コンタクトホール20のX方向の径と同じく、最小加工寸法と同程度(0.24 $\mu$ m程度)にする。なお、Y方向の径は、前記実施の形態1と同じである。

【0073】次に、図24に示すように、コンタクトホール19、20の内部に前記実施の形態1と同じ方法でプラグ21を形成し、次いで酸化シリコン膜18の上部にCVD法で酸化シリコン膜28を堆積した後、半導体基板1を熱処理してコンタクトホール19、20の底部に低抵抗のn型半導体領域(ソース、ドレイン)9を形成する。

【0074】次に、図25に示すように、酸化シリコン膜28の上部に膜厚200nm程度の多結晶シリコン膜44をCVD法で堆積した後、フォトリソ膜をマスクにしてこの多結晶シリコン膜44をドライエッチングすることにより、コンタクトホール19の上方にスルーホール45を形成する。このスルーホール45は、その直径が最小加工寸法と同程度(例えば0.24 $\mu$ m)となるように形成する。また、このとき同時に、周辺回路のnチャネル型MISFETQnのn<sup>+</sup>型半導体領域10(ソース、ドレイン)の上方にスルーホール46、47を形成し、pチャネル型MISFETQpのp<sup>+</sup>型半導体領域11(ソース、ドレイン)の上方にスルーホール48、49を形成する。さらに、pチャネル型MISFETQpのゲート電極8Cの上方にスルーホール50を形成し、nチャネル型MISFETQnのゲート電極8Bの上方に図示しないスルーホールを形成する。

【0075】次に、図26に示すように、スルーホール45～50の側壁に多結晶シリコン膜で構成されたサイドウォールスペーサ51を形成する。サイドウォールスペーサ51は、スルーホール45～50の内部を含む多結晶シリコン膜44の上部に膜厚60nm程度の薄い第2の多結晶シリコン膜(図示せず)をCVD法で堆積した後、この多結晶シリコン膜を異方性エッチングしてスルーホール45～50の側壁に残すことにより形成する。このサイドウォールスペーサ51を形成することにより、スルーホール45～50の径が最小加工寸法よりも微細になる。

【0076】次に、図27に示すように、多結晶シリコン膜44とサイドウォールスペーサ51とをマスクにしたドライエッチングでコンタクトホール19の上部の酸化シリコン膜28を除去することによって、最小加工寸法よりも微細な径のスルーホール22を形成する。また、このとき同時に周辺回路の酸化シリコン膜28、18、17、SOG膜16を除去することによって、nチャネル型MISFETQnのn<sup>+</sup>型半導体領域10(ソース、ドレイン)の上部にコンタクトホール30、31を形成し、pチャネル型MISFETQpのp<sup>+</sup>型半導体領域11(ソース、ドレイン)の上部にコンタクトホール32、33を形成する。さらに、pチャネル型MISFETQpのゲート電極8Cの上部にコンタクトホー

ル34を形成し、nチャネル型MISFETQnのゲート電極8Bの上部に図示しないコンタクトホールを形成する。

【0077】本実施の形態によれば、直径が最小加工寸法程度のコンタクトホール19の上部にそれよりも微細な径のスルーホール22を形成するので、スルーホール22を形成する際にコンタクトホール19の周囲の絶縁膜が削られることはない。これにより、アスペクト比が大きい周辺回路のコンタクトホール30～34を開孔する工程で、コンタクトホール19の上部の浅いスルーホール22を同時に開孔することが可能となるので、スルーホール22とコンタクトホール30～34とを別工程で形成する場合に比べてフォトマスクを1枚減らすことができる。

【0078】また、前記実施の形態1では、コンタクトホール19にドグボーンを形成してその径を大きくするので、隣接するコンタクトホール20とのスペースが狭くなり、メモリセルを微細化したときにコンタクトホール19、20内のプラグ21同士がショートする危険が高くなる。本実施の形態では、これとは逆にコンタクトホール19の径を小さくするので微細化に有利である。ただし、前記実施の形態1の方法は、酸化シリコン膜28の上部に多結晶シリコン膜44を堆積したり、サイドウォールスペーサ51を形成したりする必要がないので、本実施の形態の方法に比べて工程が簡略になる。

【0079】その後、多結晶シリコン膜44とサイドウォールスペーサ51とをエッチバックで除去した後、図28に示すように、スルーホール22の内部と周辺回路のコンタクトホール30～34の内部とにプラグ35を形成し、さらに酸化シリコン膜28の上部にビット線BLと周辺回路の配線23～26とを形成する。プラグ35、ビット線BLおよび配線23～26は、前記実施の形態1と同じ方法で形成する。なお、本実施の形態の製造方法では、周辺回路のコンタクトホール30～34の径が前記実施の形態1に比べて小さくなるのでコンタクト抵抗が増大する。これを防ぐためには、前記図26に示した多結晶シリコン膜44に形成されるスルーホール46～50の径をスルーホール45の径よりも大きくすればよい。

【0080】(実施の形態3) 本実施の形態では、ビット線BLおよび周辺回路の第1層目の配線23～26を形成した以降の製造プロセスを説明する。ビット線BLおよび配線23～26を形成するまでのプロセスは、前記実施の形態1または実施の形態2と同じでもよく、スルーホール22とコンタクトホール30～34とを別工程で形成するプロセスでもよい。

【0081】まず、図29に示すように、ビット線BLと第1層目の配線23～26のそれぞれの上部に膜厚100nm程度の酸化シリコン膜38を堆積し、続いて酸化シリコン膜38の上部に膜厚250nm程度のSOG膜3



9をスピン塗布した後、水蒸気を含む400℃程度の酸素雰囲気中でベーク処理を行い、さらに800℃、1分程度の熱処理を行ってデンシファイ（緻密化）することにより、SOG膜39の表面を平坦化する。

【0082】なお、ここでは、酸化シリコン膜38とSOG膜39でビット線上を平坦化したが、ビット線BLと第1層目の配線23～26による段差が小さい場合には、SOG膜39を使用せずに酸化シリコン膜38を厚く堆積するだけで平坦化を図ることもできる。他方、ビット線BLと配線23～26の密度差が大きく、SOG膜39だけでは十分な平坦性が得られないような場合には、SOG膜39の表面をCMP法で研磨し、さらにその上部にSOG膜39の表面の微細な研磨傷を補修するための酸化シリコン膜を堆積してもよい。また、SOG膜39をデンシファイする温度をあまり高くできないような場合には、その耐湿性の低下を補うために、その上部にさらに酸化シリコン膜を堆積してもよい。

【0083】次に、図30に示すように、SOG膜39の上部に膜厚200nm程度の多結晶シリコン膜70をCVD法で堆積した後、フォトレジスト膜（図示せず）をマスクにしてこの多結晶シリコン膜70をドライエッチングすることにより、コンタクトホール20の上方にスルーホール71を形成する。このスルーホール71は、その径が最小加工寸法と同程度（例えば0.24μm）となるように形成する。

【0084】次に、図31に示すように、スルーホール71の側壁に多結晶シリコン膜で構成されたサイドウォールスペーサ72を形成する。サイドウォールスペーサ72は、スルーホール71の内部を含む多結晶シリコン膜70の上部に膜厚60nm程度の薄い第2の多結晶シリコン膜（図示せず）をCVD法で堆積した後、この多結晶シリコン膜を異方性エッチングしてスルーホール71の側壁に残すことにより形成する。このサイドウォールスペーサ72を形成することにより、スルーホール71の内径が最小加工寸法よりも微細（例えば0.14μm）になる。

【0085】次に、図32に示すように、多結晶シリコン膜70とサイドウォールスペーサ72とをマスクにして下層の絶縁膜（SOG膜39、酸化シリコン膜38、28）をドライエッチングすることにより、ビット線BLとこれに隣接するビット線BLとのスペース領域を通してコンタクトホール20に達するスルーホール52を形成する。

【0086】スルーホール52は、最小加工寸法よりも微細な径を有するスルーホール71をマスクにして形成されるので、その径は最小加工寸法よりも微細になる。これにより、ビット線BLのスペース領域とスルーホール52との合わせマージンを十分に確保することができるので、次の工程でスルーホール52の内部に埋め込まれるプラグがビット線BLまたはその下部のプラグ35

とショートすることはない。

【0087】次に、スルーホール52の内部を含む多結晶シリコン膜70の上部にn型不純物（例えばP（リン））をドーブした膜厚200nm程度の多結晶シリコン膜（図示せず）をCVD法で堆積した後、この多結晶シリコン膜を多結晶シリコン膜70およびサイドウォールスペーサ72と共にエッチバックすることにより、図33に示すように、スルーホール52の内部にn型の多結晶シリコン膜で構成されたプラグ53を形成する。

【0088】次に、図34に示すように、SOG膜39の上部に膜厚200nm程度の窒化シリコン膜54をCVD法で堆積する。メモリアレイの窒化シリコン膜54は、後述する情報蓄積用容量素子の下部電極を形成する工程で酸化シリコン膜をエッチングする際のエッチングストップパとして使用されるので周辺回路には不要の絶縁膜であるが、本実施の形態では、周辺回路の窒化シリコン膜54を除去せずに残しておく。

【0089】次に、図35に示すように、窒化シリコン膜54の上部にCVD法で酸化シリコン膜55を堆積した後、フォトレジスト膜（図示せず）をマスクにして酸化シリコン膜55およびその下部の窒化シリコン膜54をドライエッチングすることにより、スルーホール52の上部に凹溝73を形成する。情報蓄積用容量素子の下部電極は、この凹溝73の内壁に沿って形成されるので、下部電極の表面積を大きくして蓄積電荷量を増やすためには、酸化シリコン膜55を厚い膜厚（例えば1.3μm程度）で堆積する必要がある。メモリアレイの端部に形成される凹溝73Aは、図36に示すように、メモリアレイの周囲を囲むように配置され、メモリアレイとその外側の厚い酸化シリコン膜55とを分離するために形成される。

【0090】前記のように、本実施の形態では、周辺回路に窒化シリコン膜54を残しておくので、窒化シリコン膜54の上部に堆積した酸化シリコン膜55の下地に段差が生じない。これにより、酸化シリコン膜55の表面の平坦性が向上するので、フォトレジスト膜をマスクにしたドライエッチングでスルーホール52の上部に凹溝73を形成する工程でリソグラフィの解像マージンが向上する。

【0091】次に、図37に示すように、凹溝73の内部を含む酸化シリコン膜55の上部にn型不純物（例えばP（リン））をドーブした膜厚60nm程度の多結晶シリコン膜56AをCVD法で堆積する。この多結晶シリコン膜56Aは、情報蓄積用容量素子の下部電極材料として使用される。

【0092】次に、図38に示すように、凹溝73の内部を含む多結晶シリコン膜56Aの上部に膜厚300nm程度のSOG膜74をスピン塗布し、次いで400℃程度の熱処理を行ってSOG膜74をベークした後、凹溝73の外部のSOG膜74をエッチバックして除去す

る。本実施の形態では、周辺回路に窒化シリコン膜54を残しておくことにより、その上部に堆積した酸化シリコン膜55および多結晶シリコン膜56Aが半導体基板1の全面でほぼ平坦となるので、多結晶シリコン膜56Aの上部に堆積したSOG膜74をエッチバックするときの制御性が向上する。

【0093】次に、図39に示すように、周辺回路の多結晶シリコン膜56Aの上部をフォトレジスト膜75で覆い、メモリアレイの酸化シリコン膜55の上部の多結晶シリコン膜56Aを異方性エッチングして除去することにより、凹溝73の内壁に沿って下部電極56が形成される。下部電極56は、多結晶シリコン膜56A以外の導体膜で、次の工程で行う高温熱処理によって劣化しない程度の耐熱性および耐酸化性を備えた導電材料、例えばW、Ru（ルテニウム）などの高融点金属や、RuO（酸化ルテニウム）、IrO（酸化イリジウム）などの導電性金属酸化物で構成することもできる。

【0094】次に、図40に示すように、凹溝73と凹溝73との隙間に残った酸化シリコン膜55、および凹溝73の内部のSOG膜74をフッ酸系のエッチング液で同時に除去した後、フォトレジスト膜（図示せず）をマスクにしたドライエッチングで周辺回路の多結晶シリコン膜56Aを除去することによって、筒型の下部電極56が完成する。凹溝の隙間の酸化シリコン膜55の底部には窒化シリコン膜54が形成されているので、酸化シリコン膜55をウェットエッチングするとき下層のSOG膜39がエッチングされることはない。またこのとき、周辺回路の表面は多結晶シリコン膜56Aで覆われているので、その下層の厚い酸化シリコン膜55がエッチングされることはない。

【0095】周辺回路に窒化シリコン膜54を残すことにより、後の工程で情報蓄積用容量素子上層に形成される層間絶縁膜の表面がメモリアレイと周辺回路とではほぼ同じ高さになる。これにより、層間絶縁膜の上部に形成される第2層目の配線、さらにその上部に形成される第3層目の配線、および第2層目と第3層目の配線間を接続するスルーホールが形成が容易になる。

【0096】次に、アンモニア雰囲気中で800℃、3分程度の熱処理を行って下部電極56の表面に薄い窒化膜（図示せず）を形成した後、図41に示すように、下部電極56の上部に膜厚14nm程度の薄いTa<sub>2</sub>O<sub>5</sub>（酸化タンタル）膜57を堆積する。下部電極56の表面の窒化膜は、下部電極56を構成する多結晶シリコン膜（56A）が次に行う熱処理によって酸化されるのを防ぐために形成する。また、Ta<sub>2</sub>O<sub>5</sub>膜57は、例えばペンタエトキシタンタル（Ta（OC<sub>2</sub>H<sub>5</sub>）<sub>5</sub>）をソースガスに用いたCVD法で堆積する。CVD法で堆積したTa<sub>2</sub>O<sub>5</sub>膜57はステップカバレッジがよいので、立体的な筒型形状を有する下部電極56の表面全体にほぼ均一な膜厚で堆積される。

【0097】続いて、800℃の酸化性雰囲気中でTa<sub>2</sub>O<sub>5</sub>膜57を3分程度熱処理する。この高温熱処理を行うことによって、膜中の結晶欠陥が修復され、良質な高誘電体膜となる。これにより、情報蓄積用容量素子Cのリーク電流を低減することができるので、リフレッシュ特性の向上したDRAMを製造することができる。

【0098】また、情報蓄積用容量素子Cの下部電極56を立体的な筒型形状にしてその表面積を大きくし、かつ容量絶縁膜を誘電率が20～25程度のTa<sub>2</sub>O<sub>5</sub>膜57で構成することにより、メモリセルを微細化しても情報の保持に十分な蓄積電荷量を確保することが可能となる。

【0099】また、Ta<sub>2</sub>O<sub>5</sub>膜57の堆積に先だって形成される下層のビット線BLおよび第1層目の配線23～26を、酸化シリコン系の絶縁膜との密着性が良好なW膜で構成したことにより、Ta<sub>2</sub>O<sub>5</sub>膜57の高温熱処理に起因してビット線BLや配線23～26が膜剥がれを引き起こす不良を確実に防止することができる。

【0100】また、ビット線を耐熱性の高いW膜で構成したことにより、最小加工寸法以下の微細な幅で形成されたビット線BLがTa<sub>2</sub>O<sub>5</sub>膜57の高温熱処理に起因して劣化したり断線したりする不良を確実に防止することができる。さらに、周辺回路のMISFETと第1層目の配線23～26とを接続するコンタクトホール30～35の内部のプラグ35を耐熱性の高い導電材料（W膜/TiN膜/Ti膜）で構成したことにより、Ta<sub>2</sub>O<sub>5</sub>膜57の高温熱処理に起因してソース、ドレインのリーク電流が増大したり、コンタクト抵抗が増大したりする不具合を防止することができる。

【0101】情報蓄積用容量素子Cの容量絶縁膜は、例えばBST、STO、BaTiO<sub>3</sub>（チタン酸バリウム）、PbTiO<sub>3</sub>（チタン酸鉛）、PZT（PbZr<sub>x</sub>Ti<sub>1-x</sub>O<sub>3</sub>）、PLT（PbLa<sub>x</sub>Ti<sub>1-x</sub>O<sub>3</sub>）、PLZTなどの金属酸化物からなる高（強）誘電体膜で構成することもできる。

【0102】次に、図42に示すように、Ta<sub>2</sub>O<sub>5</sub>膜57の上部にCVD法とスパッタリング法とを併用してTiN膜を堆積した後、フォトレジスト膜をマスクにしたドライエッチングでTiN膜およびTa<sub>2</sub>O<sub>5</sub>膜57をパターニングすることにより、TiN膜からなる上部電極58と、Ta<sub>2</sub>O<sub>5</sub>膜57からなる容量絶縁膜と、多結晶シリコン膜（56A）からなる下部電極56とで構成された情報蓄積用容量素子Cを形成する。また、ここまでの工程により、メモリセル選択用MISFETQsとこれに直列に接続された情報蓄積用容量素子Cとで構成されたメモリセルが完成する。情報蓄積用容量素子Cの上部電極58は、TiN膜以外の導体膜、例えばW膜などで構成することもできる。

【0103】本実施の形態によれば、エッチングストップ用の窒化シリコン膜54を周辺回路に残し、フォトレ

ジスト膜をマスクにしたドライエッチングで周辺回路の窒化シリコン膜54を除去する工程を不要とすることにより、フォトマスクを1枚減らすことができる。

【0104】(実施の形態4)本実施の形態では、メモリセル選択用MISFETQsのソース、ドレインの一方(n型半導体領域9)の上部に、以下に示す方法でコンタクトホール20を形成する。

【0105】まず、メモリアレイにメモリセル選択用MISFETQsを形成し、周辺回路にnチャネル型MISFETQnおよびpチャネル型MISFETQpを形成した後、図43に示すように、それらの上部にSOG膜16、酸化シリコン膜17および酸化シリコン膜18を堆積する。ここまでの工程は、前記実施の形態1と同じである。

【0106】次に、図44に示すように、メモリセル選択用MISFETQsとビット線BLとを接続するための導体層(プラグ21)を形成する領域に開孔を形成したフォトレジスト膜(図示せず)をマスクにしたドライエッチングでメモリセル選択用MISFETQsのソース、ドレインの一方の上部の酸化シリコン膜18、17を除去し、次いで窒化シリコン膜13とその下層の薄いゲート酸化膜7を除去することにより、n<sup>-</sup>型半導体領域(ソース、ドレイン)9aの一方の上部にコンタクトホール19をワード線WLに対して自己整合で形成する。このとき、本実施の形態ではコンタクトホール19のみを形成し、メモリセル選択用MISFETQsのソース、ドレインの他方の上部にはコンタクトホール20を形成しない。また、図45に示すように、コンタクトホール19は前記実施の形態1と同様、その上部に形成されるスルーホール22とのマスク合わせ余裕を確保するために、ドグボーンを設けてその径を大きくする(0.3μm程度)。

【0107】次に、図46に示すように、前記実施の形態1と同じ方法でコンタクトホール19の内部にプラグ21を形成し、次いで酸化シリコン膜18の上部にCVD法で酸化シリコン膜28を堆積した後、図47に示すように、前記実施の形態1と同じ方法でコンタクトホール19の上部にスルーホール22を形成し、さらにプラグ35の上部にビット線BLを形成する。また、周辺回路に形成したコンタクトホール30~34の内部にプラグ35し、さらにプラグ35の上部に配線23~26を形成する。このとき、スルーホール22とコンタクトホール30~34は同時に形成する。

【0108】次に、図48に示すように、ビット線BLと第1層目の配線23~26のそれぞれの上部に酸化シリコン膜38およびSOG膜39を堆積し、さらにその上部に多結晶シリコン膜70を堆積した後、フォトレジスト膜をマスクにして多結晶シリコン膜70をドライエッチングすることにより、メモリセル選択用MISFETQsのソース、ドレインの他方の上方にスルーホール

71を形成し、さらにこのスルーホール71の側壁にサイドウォールスペーサ72を形成する。

【0109】スルーホール71は、その直径が最小加工寸法と同程度(例えば0.24μm)となるように形成する。また、サイドウォールスペーサ72は、スルーホール71の内部を含む多結晶シリコン膜70の上部に堆積した多結晶シリコン膜を異方性エッチングしてスルーホール71の側壁に残すことにより形成する。このサイドウォールスペーサ721を形成することにより、スルーホール71の径が最小加工寸法よりも微細(例えば0.14μm)になる。

【0110】次に、図49に示すように、多結晶シリコン膜70とサイドウォールスペーサ72とをマスクにしてスルーホール71の下部の絶縁膜(SOG膜39、酸化シリコン膜38、28、18、17、SOG膜16および窒化シリコン膜13)をドライエッチングすることにより、メモリセル選択用MISFETQsのソース、ドレインの他方の上部にコンタクトホール20を形成する。

【0111】その後、図50に示すように、コンタクトホール20の内部を含むSOG膜39の上部に堆積したn型の多結晶シリコン膜(図示せず)をエッチバックすることにより、コンタクトホール20の内部にプラグ21を形成する。

【0112】本実施の形態によれば、前記実施の形態1と同様、周辺回路のコンタクトホール30~34を開孔する工程で、コンタクトホール19の上部のスルーホール22を同時に開孔するので、スルーホール22とコンタクトホール30~34とを別工程で形成する場合に比べてフォトマスクを1枚減らすことができる。なお、本実施の形態では、コンタクトホール20とコンタクトホール19を別工程で形成するが、コンタクトホール20とその上部のスルーホール(図32のスルーホール52に相当)とを同時に形成するので、これによってフォトマスクが増えることはない。

【0113】(実施の形態5)本実施の形態では、ビット線BLおよび周辺回路の第1層目の配線23~26を形成した以降の製造プロセスを説明する。ビット線BLおよび配線23~26を形成するまでのプロセスは、前記実施の形態1または実施の形態2と同じでもよく、スルーホール22とコンタクトホール30~34とを別工程で形成するプロセスでもよい。

【0114】まず、図51に示すように、ビット線BLの上部の厚い酸化シリコン膜55に形成した凹溝73の上部に多結晶シリコン膜56Aを堆積し、さらに多結晶シリコン膜56Aの上部にSOG膜74をスピンドル塗した後、凹溝73の外部のSOG膜74をエッチバックして除去する。続いて図52に示すように、周辺回路の多結晶シリコン膜56Aの上部をフォトレジスト膜75で覆い、メモリアレイの酸化シリコン膜55上に堆積され

た多結晶シリコン膜56Aをエッチバックして除去することにより、凹溝73の内壁に沿って下部電極56を形成する。ここまでの工程は、前記実施の形態3と同じである。

【0115】次に、図53に示すように、凹溝73と凹溝73との隙間に残った酸化シリコン膜55、および凹溝73の内部のSOG膜74をフッ酸系のエッチング液で同時に除去する。前記実施の形態3では、この後にフォトレジスト膜(75)をマスクにしたドライエッチングで周辺回路の多結晶シリコン膜56Aを除去した(図39参照)が、本実施の形態では周辺回路の多結晶シリコン膜56Aをエッチングせずに残しておく。

【0116】次に、図54に示すように、下部電極56および周辺回路の多結晶シリコン膜56Aの上部にTa<sub>2</sub>O<sub>5</sub>膜57を堆積し、続いて800℃、3分程度の熱処理を行ってTa<sub>2</sub>O<sub>5</sub>膜57の結晶欠陥を修復した後、その上部にCVD法とスパッタリング法とを併用してTiN膜58Aを堆積する。

【0117】次に、図55に示すように、メモリアレイを覆い、周辺回路を露出したフォトレジスト膜76をマスクにしてTiN膜58A、Ta<sub>2</sub>O<sub>5</sub>膜57および多結晶シリコン膜56Aを一回のエッチングで連続してパターンニングすることによって、TiN膜58Aからなる上部電極58と、Ta<sub>2</sub>O<sub>5</sub>膜57からなる容量絶縁膜と、多結晶シリコン膜56Aからなる下部電極56とで構成された情報蓄積用容量素子Cを形成する。このときのエッチングガスは、例えばBCl<sub>3</sub>+Cl<sub>2</sub>を使用する。

【0118】上記した3層の膜を一回のエッチングでパターンニングする場合、フォトレジスト膜76の端部、すなわちメモリアレイと周辺回路との境界部付近で上部電極58(TiN膜58A)と下部電極56(多結晶シリコン膜56A)とがショートすることがあるが、前記図36に示したように、メモリアレイの最外周部の凹溝73Aは、メモリアレイを取り巻く帯状の溝を構成しているので、この凹溝73Aの内壁に沿って形成された多結晶シリコン膜56Aはフローティング電位となっており、実際に動作する情報蓄積用容量素子Cの電位に影響を与えることはない。すなわち、多結晶シリコン膜56Aは、メモリアレイの情報蓄積用容量素子Cの下部電極56と電気的に絶縁されているので、多結晶シリコン膜56Aがシート抵抗8とショートしても問題はない。

【0119】このように、本実施の形態によれば、TiN膜58A、Ta<sub>2</sub>O<sub>5</sub>膜57および多結晶シリコン膜56Aを一回のエッチングで連続してパターンニングするので、TiN膜58AおよびTa<sub>2</sub>O<sub>5</sub>膜57のパターンニングと多結晶シリコン膜56Aのパターンニングとを別工程で行う場合に比べてフォトマスクを1枚減らすことができる。

【0120】(実施の形態6) 本実施の形態では、ピッ

ト線BLおよび周辺回路の第1層目の配線23~26を形成した以降の製造プロセスのうち、特にアライメントマークやTEGパターンといった大面積のパターンを形成するプロセスを説明する。

【0121】前記実施の形態3で説明したように、ビット線BLの上部に情報蓄積用容量素子Cを形成する工程では、まず、ビット線BLの上部に堆積した窒化シリコン膜54の上部にCVD法で酸化シリコン膜55を堆積した後、フォトレジスト膜をマスクにして酸化シリコン膜55およびその下部の窒化シリコン膜54をドライエッチングすることにより、メモリアレイに凹溝73を形成し、メモリアレイと周辺回路との境界部にメモリアレイを囲む凹溝73Aを形成する(図35参照)。

【0122】このときに使用するフォトレジスト膜に凹溝73、73Aのパターンを転写するフォトマスク(レチクル)には、フォトマスク(レチクル)と半導体基板とを位置合わせするために使用するアライメントマークやTEGパターンのように、凹溝73、73Aに比べて面積の大きいパターンが形成されていることから、アライメントマークやTEGパターンが形成される領域の酸化シリコン膜55には、図56、図57に示すように、これらの大面積パターンに対応する大面積でかつ深い凹溝73Bが形成される。

【0123】そのため、次の工程でこれらの凹溝73、73Aの内部を含む酸化シリコン膜55の上部に下部電極用の多結晶シリコン膜56Aを堆積し(図37参照)、続いてその上部にこれらの凹溝73、73Aを埋め込むのに十分な膜厚の厚いSOG膜74を塗布した場合、図58に示すように、前述したアライメントマークやTEGパターンに対応する大面積で深い凹溝73Bの内部にはSOG膜74が十分に埋め込まれないので、このSOG膜74をエッチバックして多結晶シリコン膜56Aを露出させる際(図38参照)、凹溝73Bの中央部すなわちSOG膜74の膜厚が薄い部分が深くエッチングされて多結晶シリコン膜56Aが削られてしまう恐れがある。凹溝73Bの底の多結晶シリコン膜56Aが削られて下地の酸化シリコン膜39が露出すると、次の工程で酸化シリコン膜55とSOG膜74とをフッ酸系のエッチング液で除去する際に凹溝73Bの底が深くエッチングされてしまう。

【0124】これを防止する一つの対策は、図59に示すように、SOG膜74をエッチバックして多結晶シリコン膜56Aを露出させる際、大面積の凹溝73Bの上部をフォトレジスト膜77で覆い、凹溝73Bの内部のSOG膜74の削れを防ぐことが考えられる。

【0125】しかし、この方法は、凹溝73Bの上部を覆うフォトレジスト膜77を形成するためのフォトマスクが必要になるという欠点がある。また、SOG膜74をエッチバックする際、凹溝73Bの周囲のSOG膜74が薄くなった部分で下地の多結晶シリコン膜56Aが

削られてしまうことがあるが、この方法ではこの問題を解決できない。

【0126】そこで、本実施の形態では、凹溝73Bの上部を覆うフォトレジスト膜77を形成する代わりに、図60に示すように、SOG膜74をエッチバックする際、前記図39に示す工程で使用するフォトレジスト膜75、すなわちメモリアレイの酸化シリコン膜55の上部の多結晶シリコン膜56Aをエッチバックして除去するために使用するフォトレジスト膜75で大面積の凹溝73Bが形成される領域全体を覆っておく。

【0127】このようにすると、フォトマスクを増やすことなく凹溝73Bの内部のSOG膜74の削れを防ぐことが可能となる。また、凹溝73Bが形成される領域全体をフォトレジスト膜75で覆っておくので、凹溝73Bの周囲のSOG膜74が薄くなった部分で下地の多結晶シリコン膜56Aが削られてしまうこともない。

【0128】この場合、多結晶シリコン膜56AをパターンニングしてTEGパターンの一部を形成するには、前記図39に示すフォトレジスト膜75、すなわちメモリアレイの酸化シリコン膜55の上部の多結晶シリコン膜56Aをエッチバックして除去する際に使用するフォトレジスト膜75のパターンを変更し、このフォトレジスト膜75をマスクにしたエッチングで凹溝73Bの周囲の多結晶シリコン膜56Aを除去して凹溝73Bの内部に残せばよい。

【0129】また、前記実施の形態5のように、このフォトレジスト膜75を使用せず、周辺回路の多結晶シリコン膜56Aをエッチングしないで残しておくような場合には、前記図55に示すフォトレジスト膜76、すなわちTiN膜58A、Ta<sub>2</sub>O<sub>5</sub>膜57および多結晶シリコン膜56Aを一回のエッチングで連続してパターンニングする際に使用するフォトレジスト膜76のパターンを変更し、このフォトレジスト膜76をマスクにしたエッチングで凹溝73Bの周囲の多結晶シリコン膜56Aを除去して凹溝73Bの内部に残せばよい。

【0130】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0131】本発明によれば、前記実施の形態1～6のプロセスのいずれかを適宜組み合わせることによって、フォトマスクの枚数をさらに少なくすることができる。

【0132】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0133】本発明によれば、DRAMの製造工程で使用するフォトマスクの枚数を少なくすることができるので、DRAMの製造コストを低減することが可能とな

る。

【0134】また、本発明によれば、ビット線の寄生容量を低減することができるので、動作速度の向上したDRAMを実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるDRAMを形成した半導体チップの全体平面図である。

【図2】本発明の一実施の形態であるDRAMの等価回路図である。

10 【図3】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図4】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図5】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図6】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図7】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

20 【図8】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図9】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図10】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図11】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図12】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

30 【図13】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図14】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図15】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図16】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図17】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

40 【図18】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図19】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図20】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図21】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図22】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

50 【図23】本発明の他の実施の形態であるDRAMの製

造方法を示す半導体基板の要部断面図である。

【図24】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図25】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図26】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図27】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図28】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図29】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図30】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図31】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図32】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図33】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図34】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図35】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図36】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図37】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図38】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図39】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図40】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図41】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図42】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図43】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図44】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図45】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図46】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図47】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図48】本発明の他の実施の形態であるDRAMの製

造方法を示す半導体基板の要部断面図である。

【図49】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図50】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図51】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図52】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図53】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図54】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図55】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図56】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図57】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図58】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図59】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図60】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

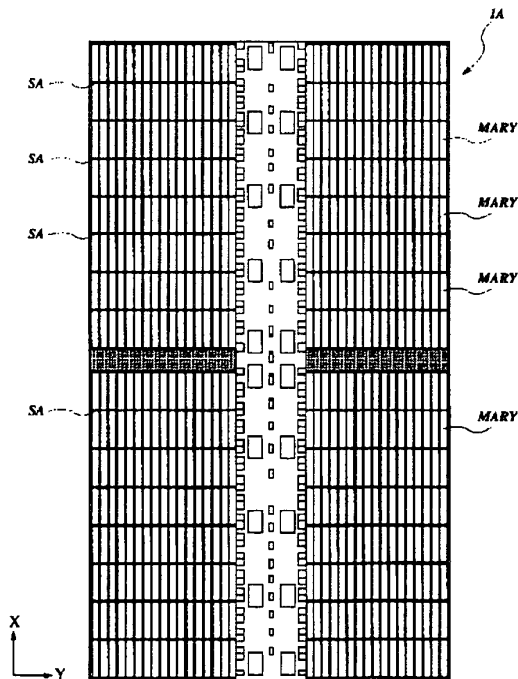
#### 【符号の説明】

- 1 半導体基板
- 1A 半導体チップ
- 2 p型ウエル
- 3 n型半導体領域
- 4 n型ウエル
- 5 酸化シリコン膜
- 6 素子分離溝
- 7 ゲート酸化膜
- 8A~8C ゲート電極
- 9 n型半導体領域 (ソース、ドレイン)
- 9a n<sup>-</sup>型半導体領域 (ソース、ドレイン)
- 10 n<sup>+</sup>型半導体領域 (ソース、ドレイン)
- 11 p<sup>+</sup>型半導体領域 (ソース、ドレイン)
- 12 窒化シリコン膜
- 13 窒化シリコン膜
- 13s サイドウォールスペーサ
- 14 n<sup>-</sup>型半導体領域
- 15 p<sup>-</sup>型半導体領域
- 16 SOG膜
- 17 酸化シリコン膜
- 18 酸化シリコン膜
- 19 コンタクトホール
- 20 コンタクトホール
- 21 プラグ

- 22 スルーホール
- 23～26 配線
- 27 フォトレジスト膜
- 28 酸化シリコン膜
- 29 フォトレジスト膜
- 30～34 コンタクトホール
- 35 プラグ
- 36 Ti膜
- 37  $TiSi_2$ 層
- 38 酸化シリコン膜
- 39 SOG膜
- 40 TiN膜
- 41 W膜
- 42 W膜
- 43 フォトレジスト膜
- 43a ビット線パターン
- 44 多結晶シリコン膜
- 45～50 スルーホール
- 51 サイドウォールスペーサ
- 52 スルーホール
- 53 プラグ
- 54 窒化シリコン膜
- 55 酸化シリコン膜

【図1】

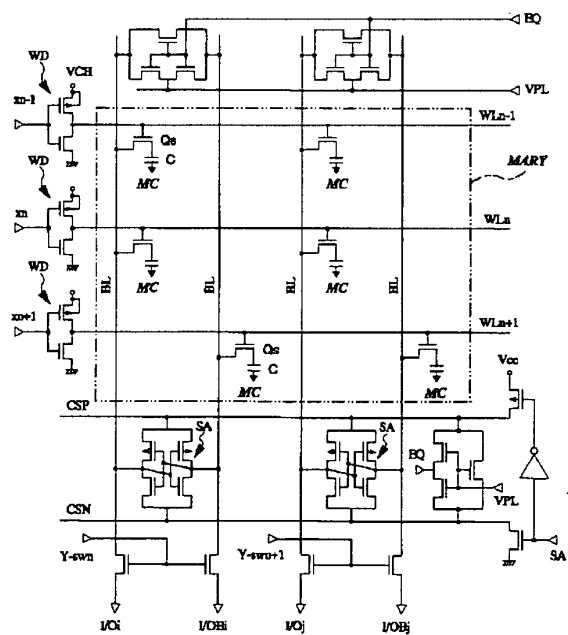
図 1



- 56A 多結晶シリコン膜
- 56 下部電極
- 57  $Ta_2O_5$ 膜
- 58 上部電極
- 58A TiN膜
- 70 多結晶シリコン膜
- 71 スルーホール
- 72 サイドウォールスペーサ
- 73、73A、73B 凹溝
- 10 74 SOG膜
- 75 フォトレジスト膜
- 76 フォトレジスト膜
- 77 フォトレジスト膜
- BL ビット線
- C 情報蓄積用容量素子
- MARY メモリアレイ
- MC メモリセル
- Qn nチャネル型MISFETQn
- Qp pチャネル型MISFETQp
- 20 Qs メモリセル選択用MISFET
- SA センスアンプ
- WD ワードドライバ
- WL ワード線

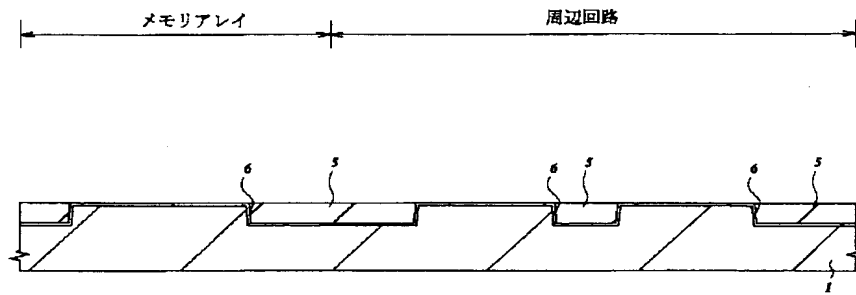
【図2】

図 2



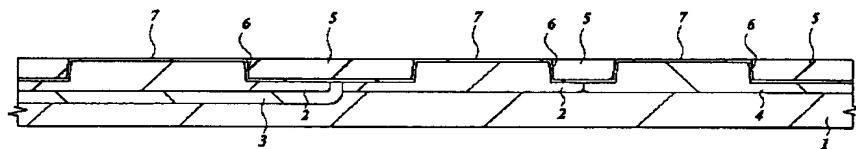
【図 3】

図 3



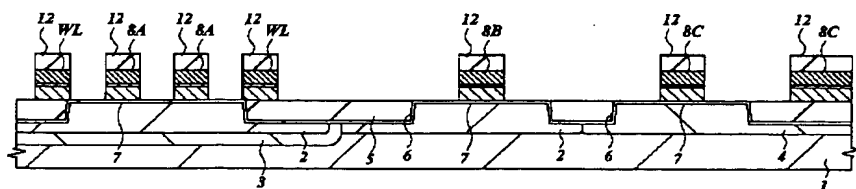
【図 4】

図 4



【図 5】

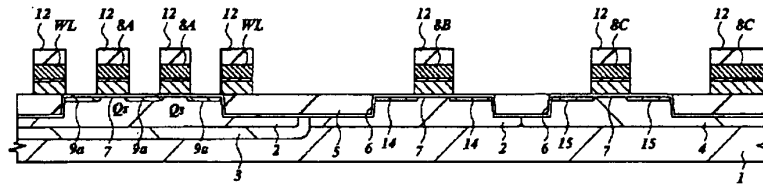
図 5





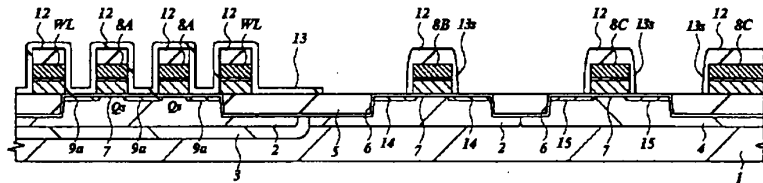
【図 6】

図 6



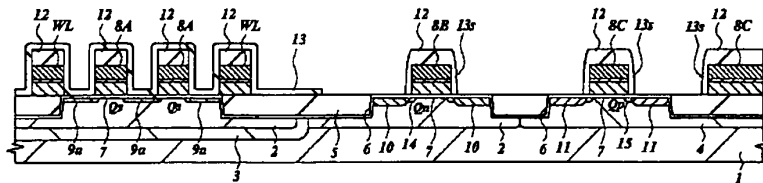
【図 7】

図 7



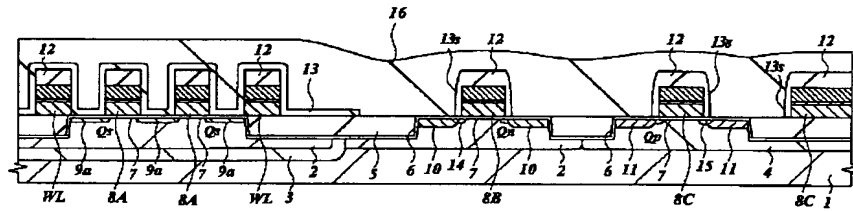
【図 8】

図 8



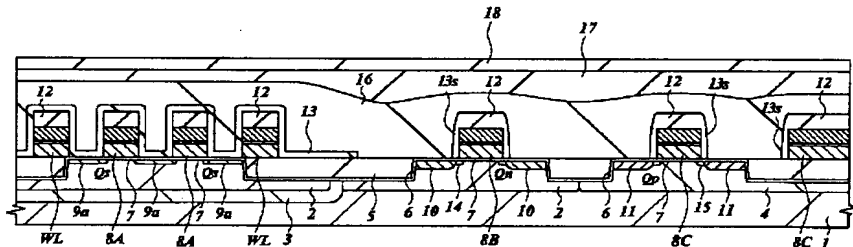
【図 9】

図 9



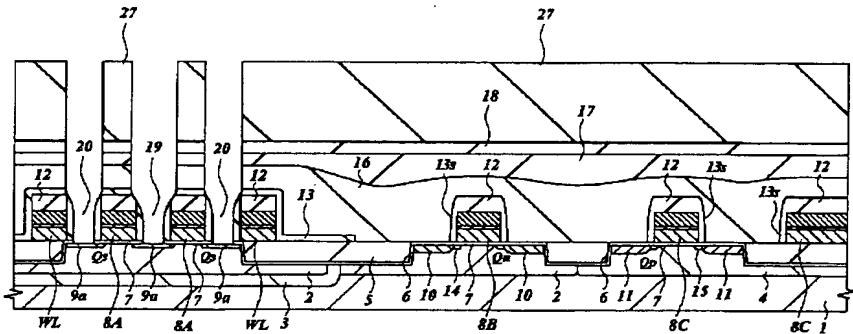
【図 10】

図 10



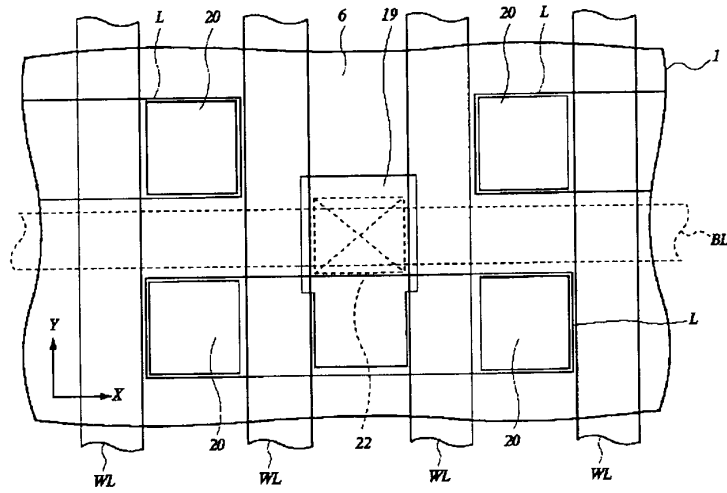
【図 11】

図 11



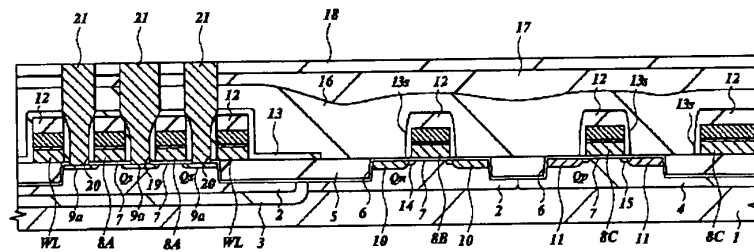
【図12】

図 12



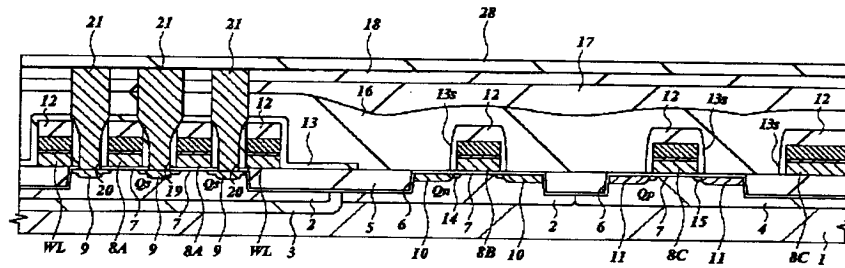
【図13】

図 13



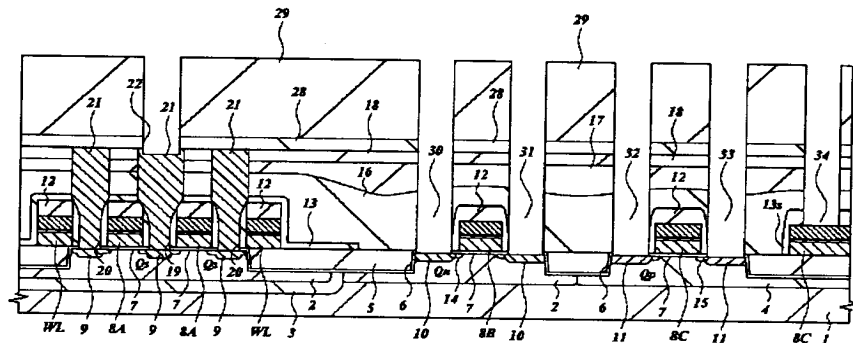
【図 14】

図 14



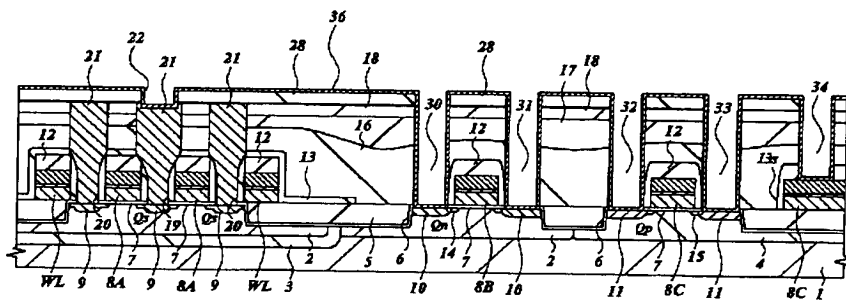
【図 15】

図 15



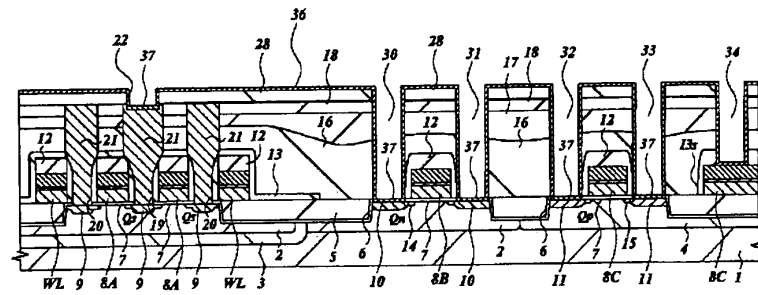
【図 16】

図 16



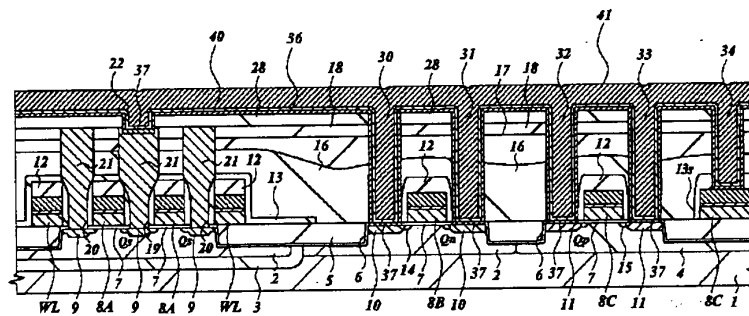
【図 17】

図 17



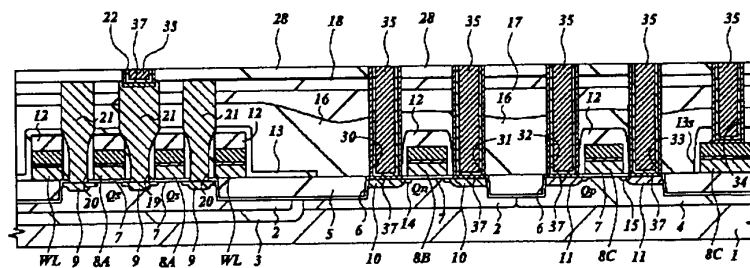
【図 18】

図 18



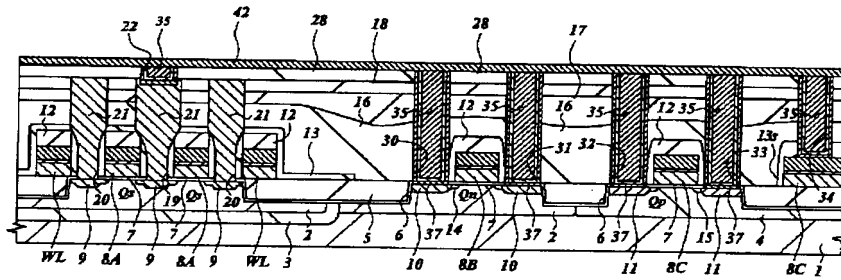
【図 19】

図 19



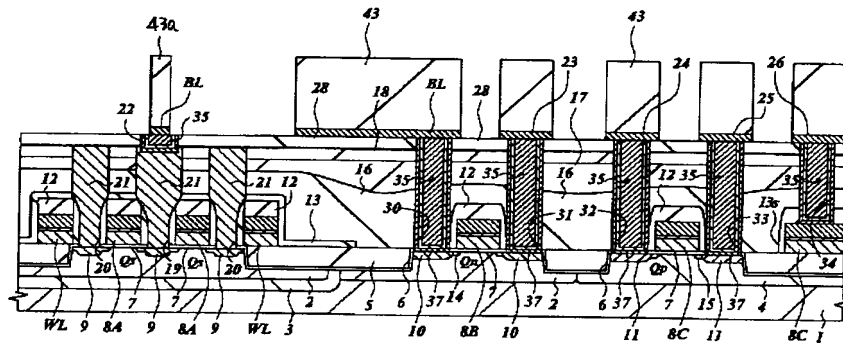
【図20】

図 20



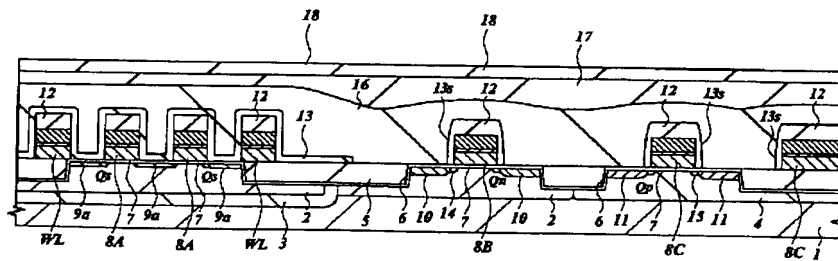
【図21】

図 21



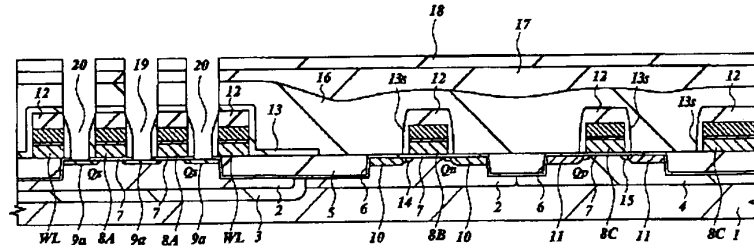
【図22】

図 22



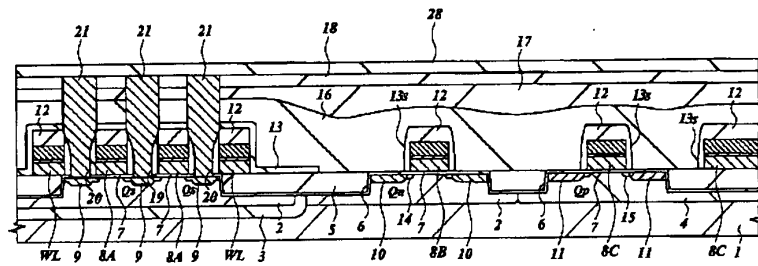
【図23】

図 23



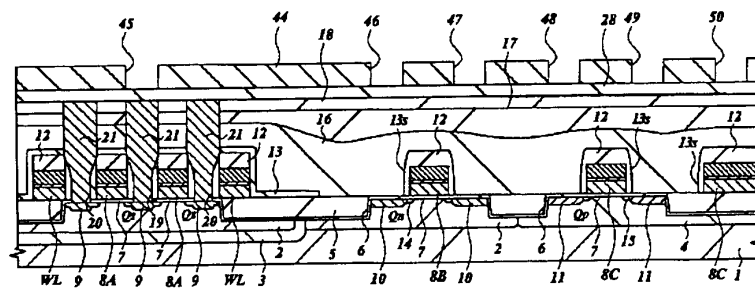
【図24】

図 24



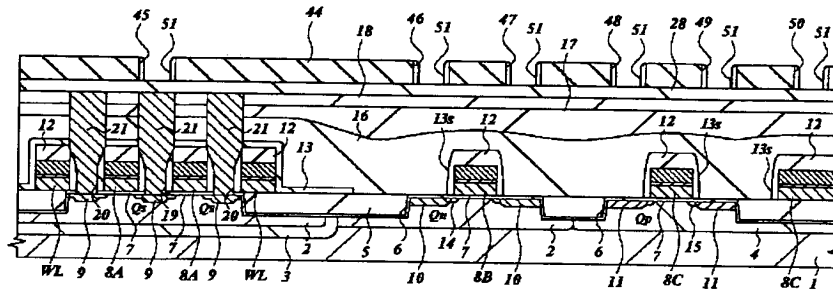
【図25】

図 25



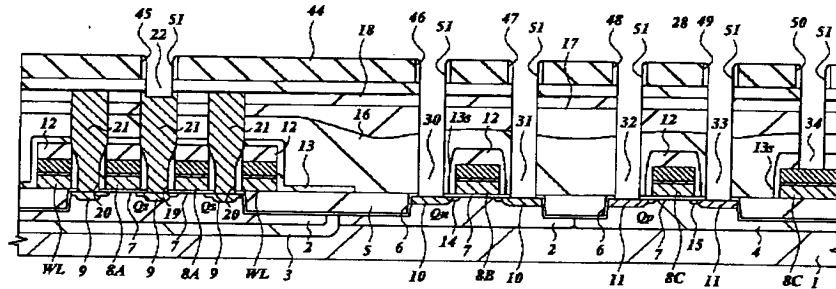
【図 26】

図 26



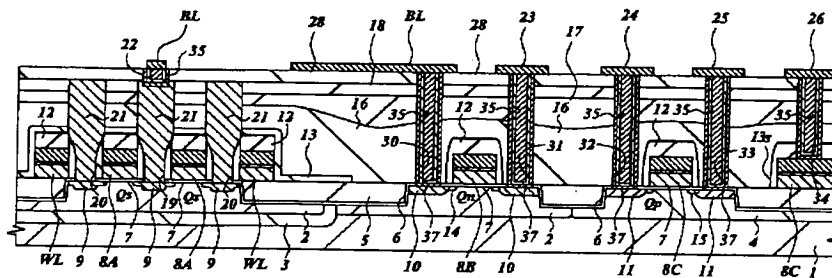
【図 27】

図 27



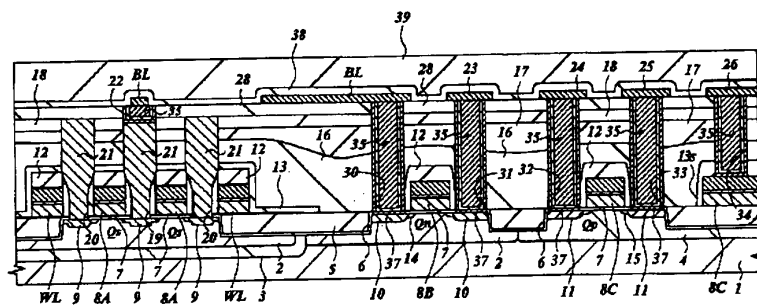
【図 28】

図 28

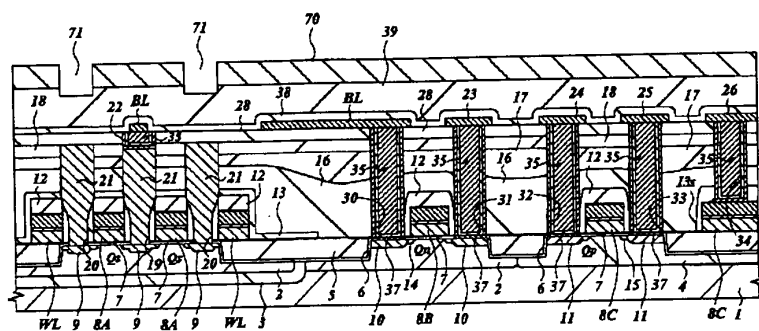




29

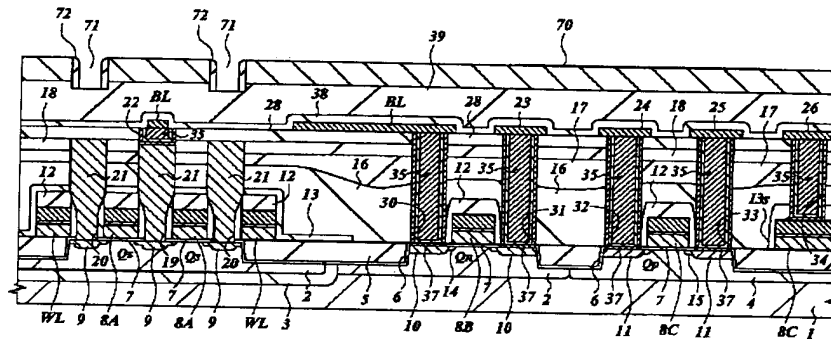


**30**



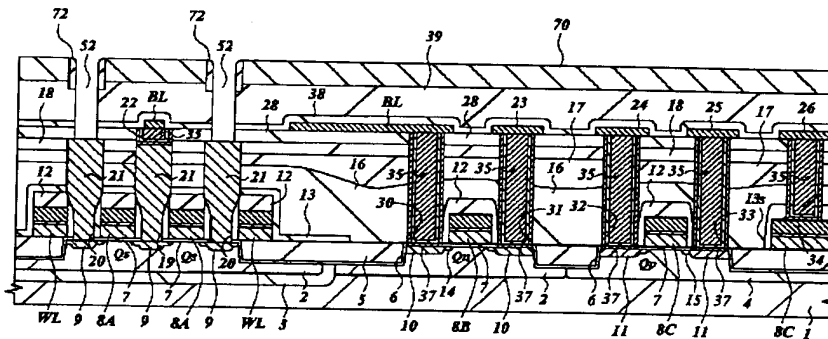
【図31】

図 31



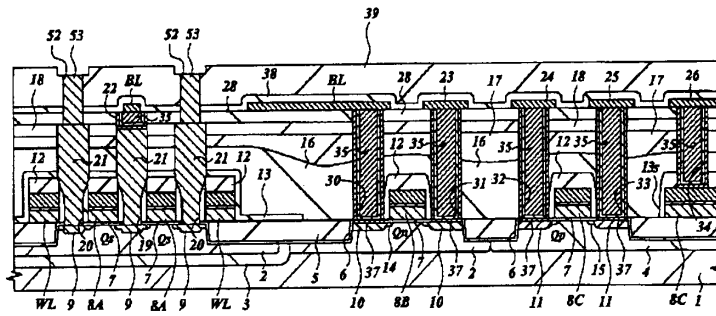
【図32】

図 32



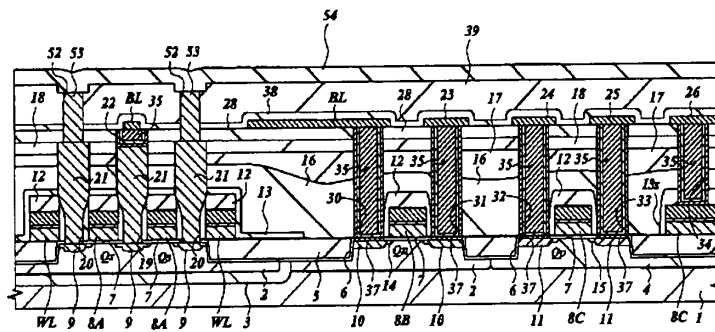
【図 33】

図 33



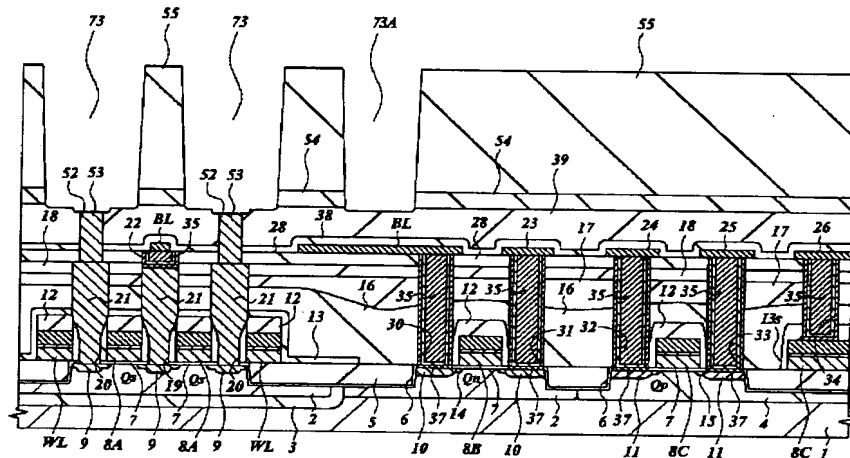
【図 34】

図 34



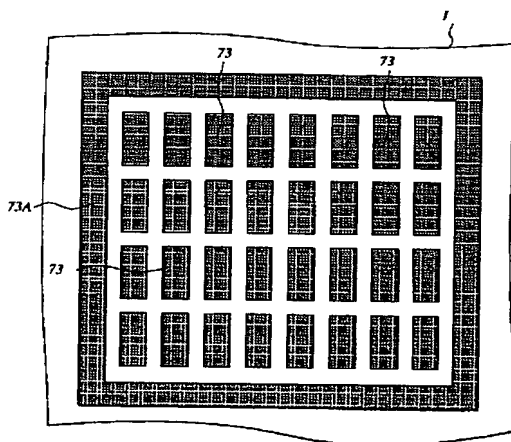
【図35】

図 35



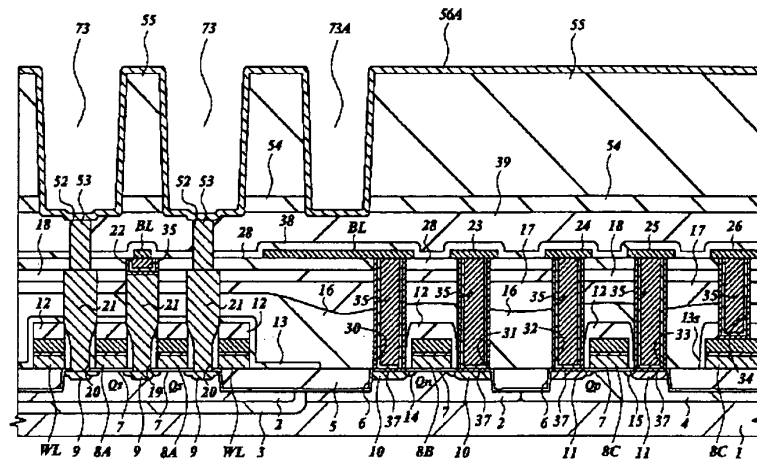
【図36】

図 36



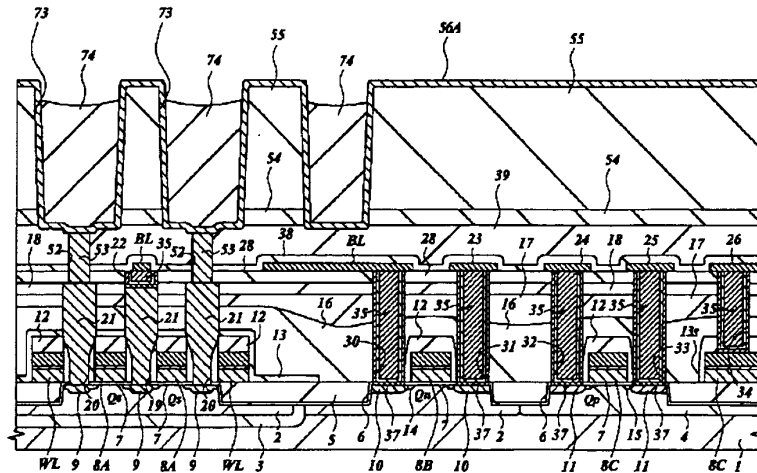
【図37】

図 37



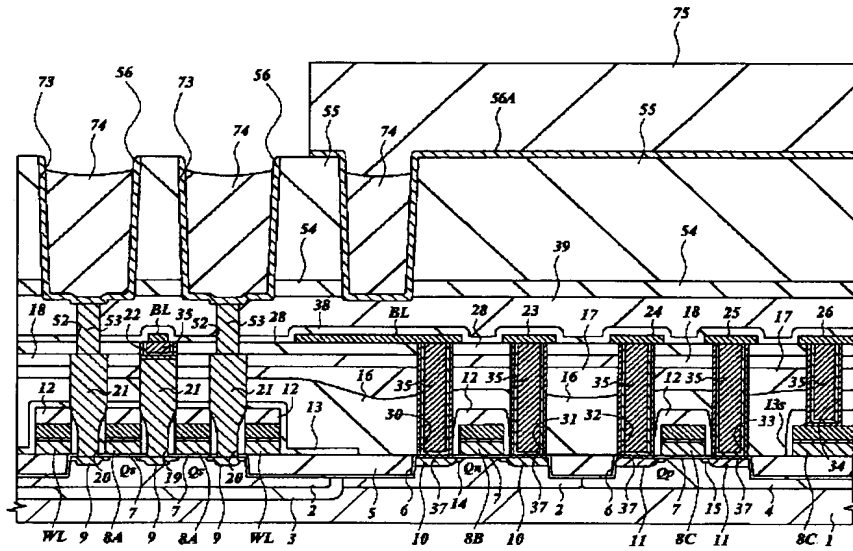
【図38】

図 38



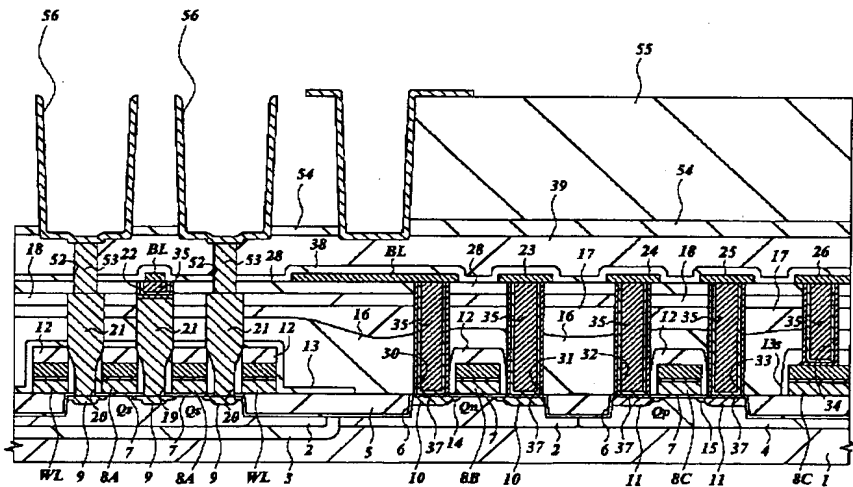
【図39】

図 39



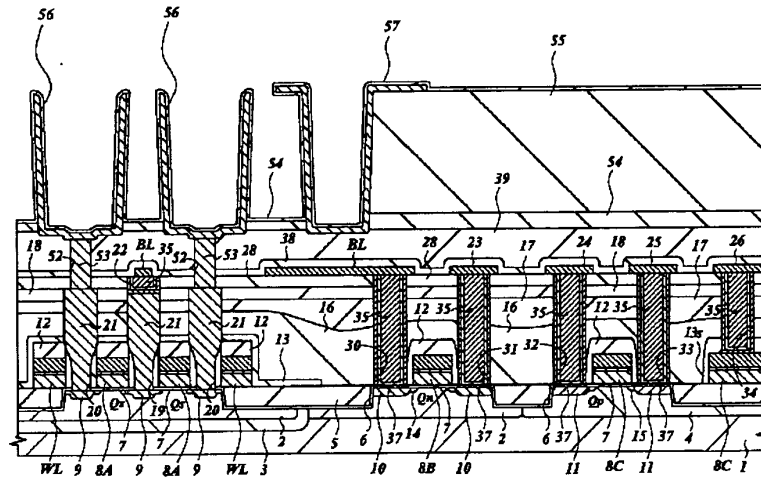
【図40】

図 40



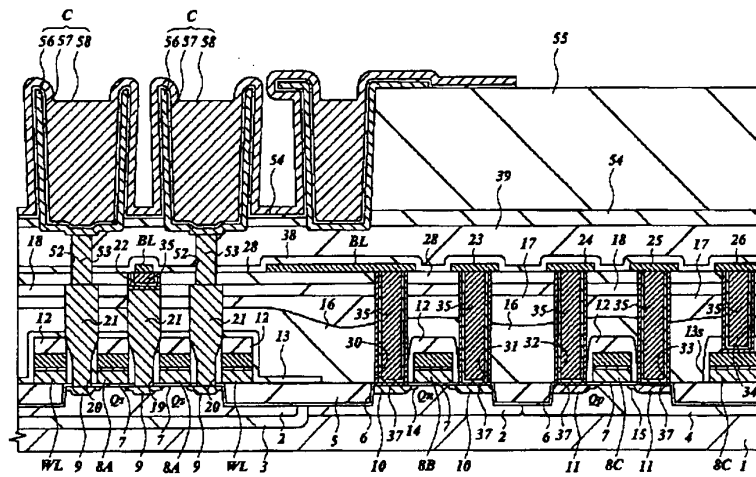
【図41】

図 41

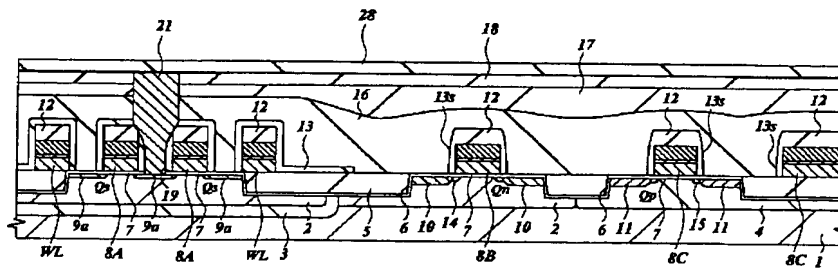


【図42】

図 42



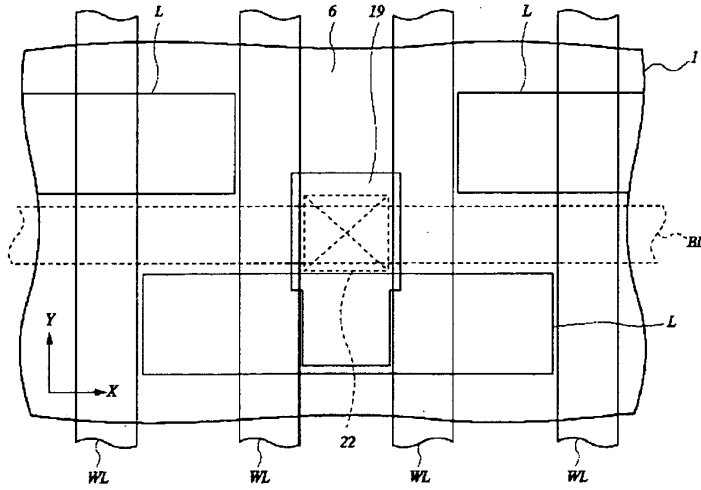
43





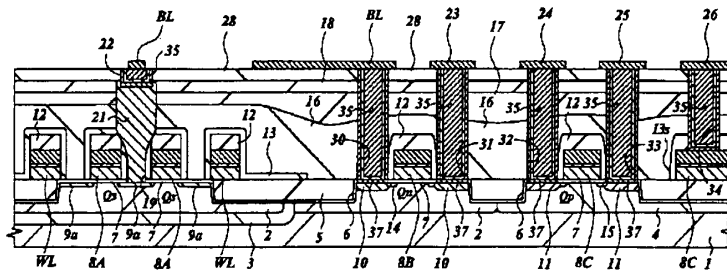
【図 45】

図 45



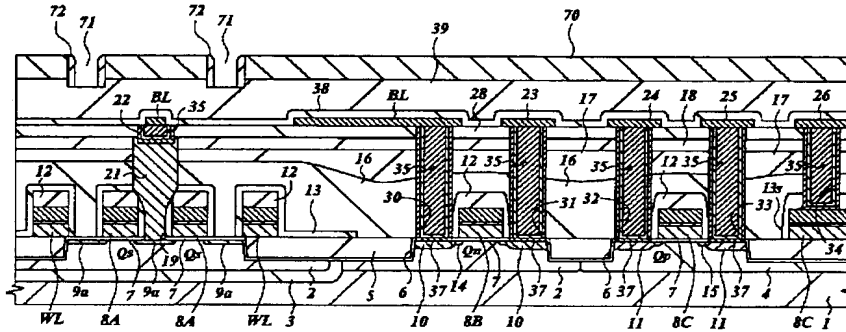
【図 47】

図 47



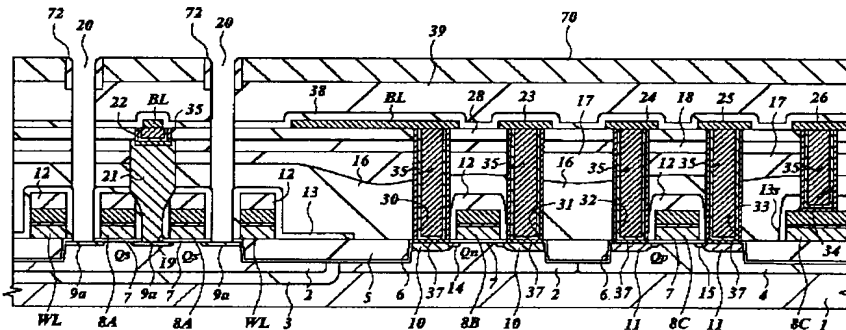
【図 48】

図 48



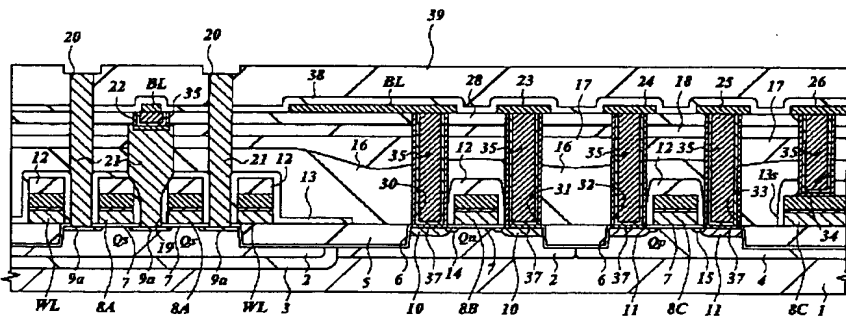
【図 49】

図 49



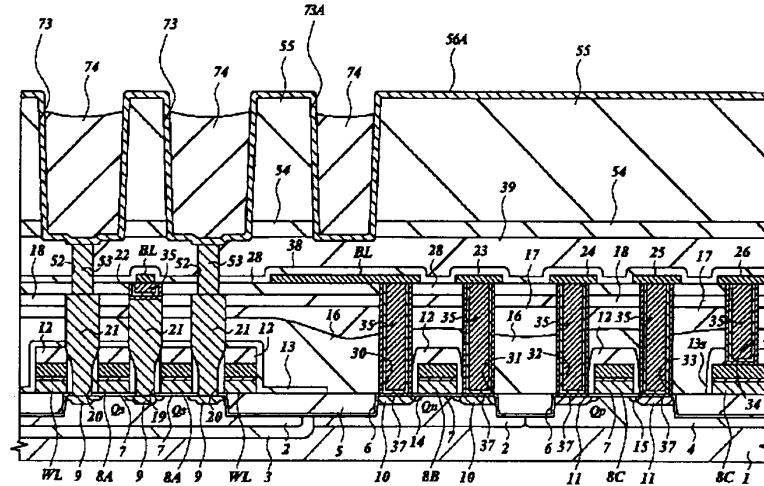
【図 50】

図 50



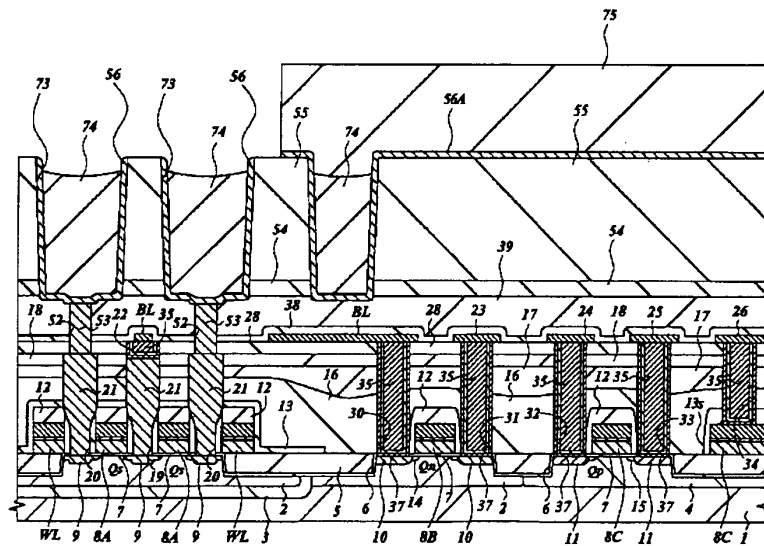
【図 51】

図 51



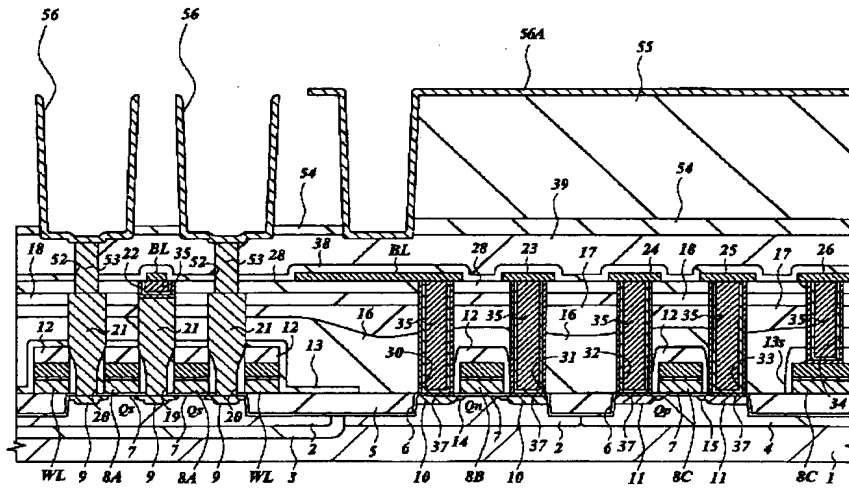
【図 52】

図 52



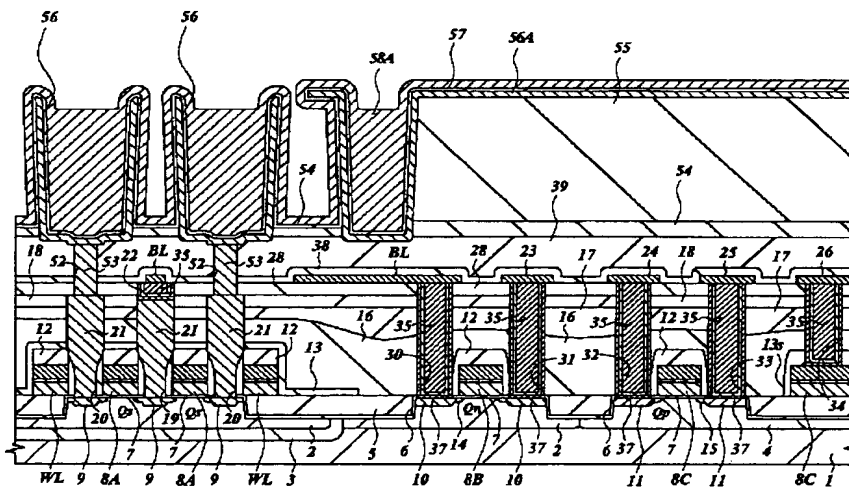
【図 5 3】

図 53

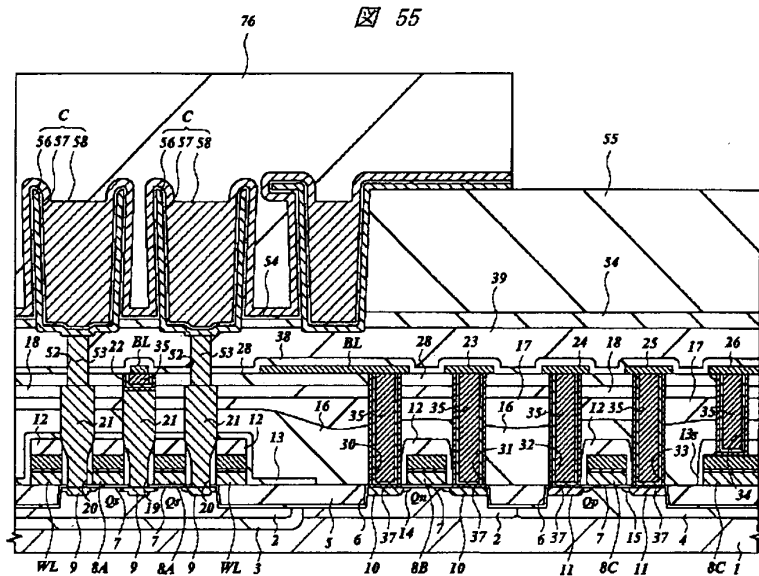


【図 5 4】

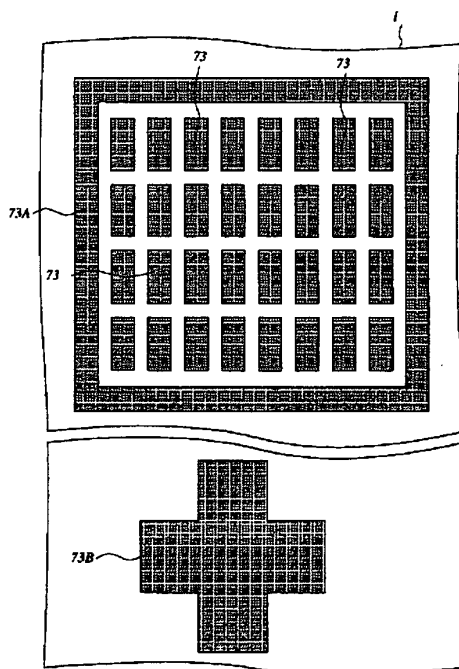
図 54



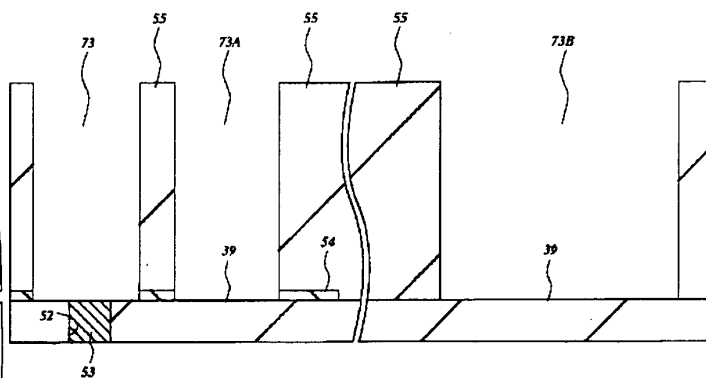
**55**



56

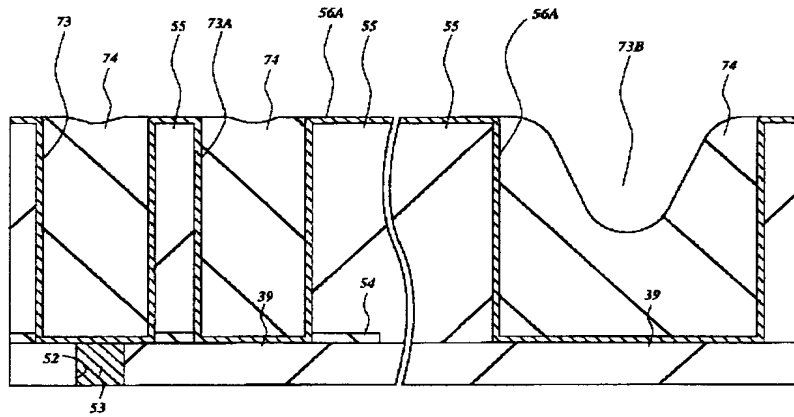


**57**



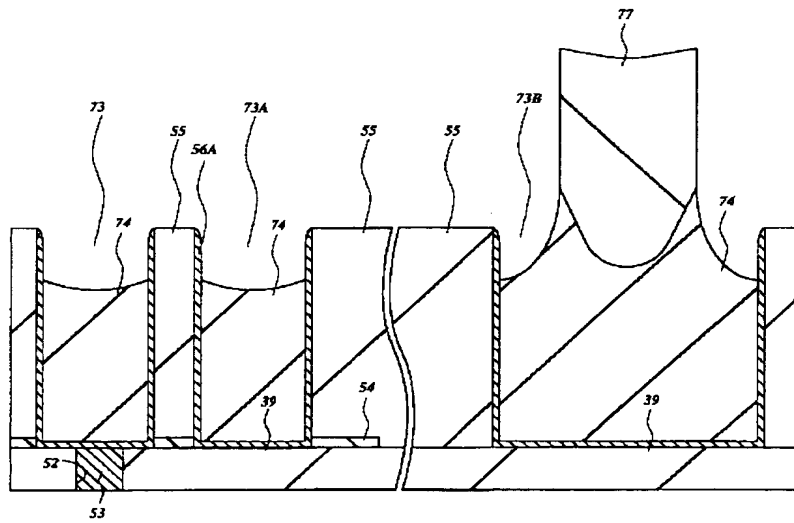
【図 5 8】

図 58



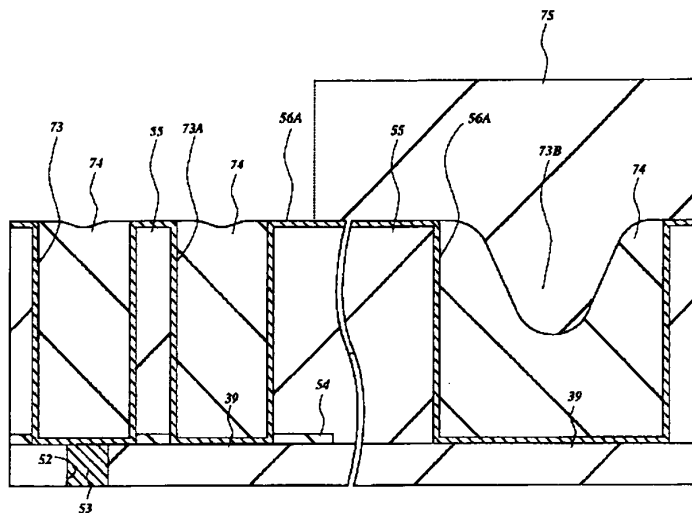
【図 5 9】

図 59



【図60】

図 60



フロントページの続き

(72)発明者 山田 悟  
東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72)発明者 中村 吉孝  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業部内

**THIS PAGE BLANK (USPTO)**